

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**Manufacturing method of photomask and photomask**

Patent Number: ☐ US2002006555  
Publication date: 2002-01-17  
Inventor(s): MIYAZAKI KO (JP); MORI KAZUTAKA (JP); HASEGAWA NORIO (JP); OKADA JOJI (JP); TANAKA TOSHIHIKO (JP)  
Applicant(s):  
Requested Patent: ☐ JP2002023340  
Application Number: US20010881701 20010618  
Priority Number (s): JP20000206729 20000707  
IPC Classification: G03C5/00; G03G16/00; G03F9/00  
EC Classification: G03F1/10, G03F1/14  
Equivalents: TW535228, ☐ US6656644

---

**Abstract**

---

In order to shorten the time required to change or correct a mask pattern over a mask, light-shielding patterns formed of a resist film for integrated circuit pattern transfer are partly provided over a mask substrate constituting a photomask in addition to light-shielding patterns formed of a metal for the integrated circuit pattern transfer

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-23340

(P2002-23340A)

(43) 公開日 平成14年1月23日 (2002.1.23)

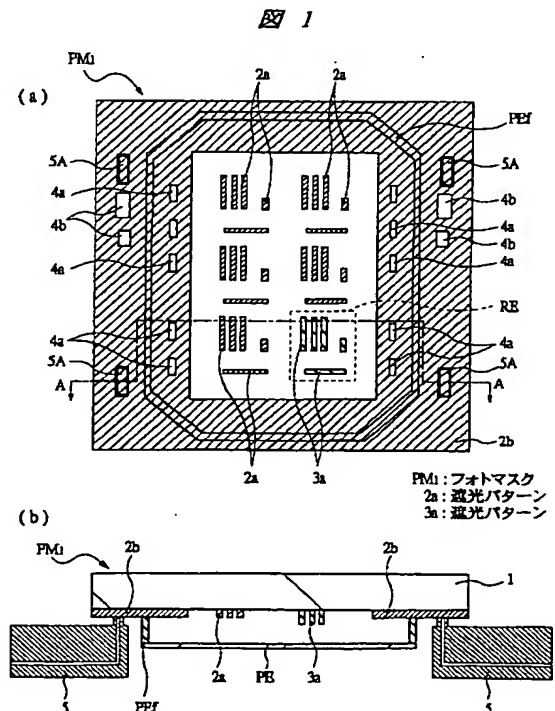
(51) Int.Cl. <sup>7</sup> G 0 3 F 1/08  1/14	識別記号	F I G 0 3 F 1/08  1/14	テームト (参考) A 2 H 0 9 5 G L M J
審査請求 未請求 請求項の数38 O L (全 51 頁) 最終頁に続く			
(21) 出願番号 (22) 出願日	特願2000-206729 (P2000-206729) 平成12年7月7日 (2000.7.7)	(71) 出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 (72) 発明者 長谷川 昇雄 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内 (72) 発明者 田中 稔彦 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内 (74) 代理人 100080001 弁理士 筒井 大和	最終頁に続く

(54) 【発明の名称】 フォトマスクの製造方法およびフォトマスク

(57) 【要約】

【課題】 マスクにおけるマスクパターンの変更または修正時間を短縮する。

【解決手段】 フォトマスク PM1 を構成するマスク基板 1 上に、集積回路パターン転写用のメタルからなる遮光パターン 2 a の他に、集積回路パターン転写用のレジスト膜からなる遮光パターン 3 a を部分的に設けた。



**【特許請求の範囲】**

【請求項 1】 マスク基板に集積回路パターン転写用のメタルからなる遮光パターンを形成する工程、前記マスク基板に集積回路パターン転写用のレジスト膜からなる遮光パターンを形成する工程を有することを特徴とするフォトマスクの製造方法。

【請求項 2】 請求項 1 記載のフォトマスクの製造方法において、前記レジスト膜からなる遮光パターンを除去し、代わりにレジスト膜からなる新たな遮光パターンを形成する工程を有することを特徴とするフォトマスクの製造方法。

【請求項 3】 請求項 2 記載のフォトマスクの製造方法において、前記レジスト膜からなる遮光パターンを有機溶剤によって除去することを特徴とするフォトマスクの製造方法。

【請求項 4】 請求項 2 記載のフォトマスクの製造方法において、前記レジスト膜からなる遮光パターンを酸素プラズマアッシング法によって除去することを特徴とするフォトマスクの製造方法。

【請求項 5】 請求項 2 記載のフォトマスクの製造方法において、前記レジスト膜からなる遮光パターンを機械的に剥離することを特徴とするフォトマスクの製造方法。

【請求項 6】 請求項 1 記載のフォトマスクの製造方法において、前記集積回路パターン転写用のメタルからなる遮光パターンを形成する工程時に、前記マスク基板の主面の周辺部にメタルからなる遮光パターンを形成することを特徴とするフォトマスクの製造方法。

【請求項 7】 請求項 6 記載のフォトマスクの製造方法において、前記マスク基板の主面の周辺部におけるメタルからなる遮光パターンにペリクルを接触固定することを特徴とするフォトマスクの製造方法。

【請求項 8】 請求項 6 記載のフォトマスクの製造方法において、前記マスク基板の主面の周辺部におけるメタルからなる遮光パターンに開口部を設けることで情報検出用パターンを形成することを特徴とするフォトマスクの製造方法。

【請求項 9】 請求項 1 記載のフォトマスクの製造方法において、前記マスク基板の主面の周辺部に、前記マスク基板が露出する領域を形成することを特徴とするフォトマスクの製造方法。

【請求項 10】 請求項 9 記載のフォトマスクの製造方法において、前記マスク基板の主面の周辺部におけるマスク基板が露出する領域にペリクルを接触固定することを特徴とするフォトマスクの製造方法。

【請求項 11】 請求項 9 記載のフォトマスクの製造方法において、前記マスク基板の主面の周辺部におけるマスク基板が露出する領域にメタルからなる遮光パターンを設けることで情報検出用パターンを形成することを特徴とするフォトマスクの製造方法。

【請求項 12】 請求項 1 記載のフォトマスクの製造方法において、前記マスク基板の主面におけるマスク基板が露出する領域にレジスト膜からなる遮光パターンを設けることで情報検出用パターンを形成することを特徴とするフォトマスクの製造方法。

【請求項 13】 請求項 12 記載のフォトマスクの製造方法において、前記情報検出用パターンを形成するレジスト膜に、情報検出光を吸光する吸光材を添加することを特徴とするフォトマスクの製造方法。

【請求項 14】 請求項 1 記載のフォトマスクの製造方法において、前記レジスト膜からなる遮光パターンを形成する工程の前に、前記メタルからなる遮光パターンの表面に保護膜を形成する工程を有することを特徴とするフォトマスクの製造方法。

【請求項 15】 請求項 1 記載のフォトマスクの製造方法において、前記レジスト膜からなる遮光パターンの形成処理に先立って、マスク基板上に帯電防止膜を堆積する工程を有することを特徴とするフォトマスクの製造方法。

【請求項 16】 請求項 1 記載のフォトマスクの製造方法において、前記遮光パターンを形成するレジスト膜が、ノボラック系樹脂を主成分とすることを特徴とするフォトマスクの製造方法。

【請求項 17】 請求項 1 記載のフォトマスクの製造方法において、前記遮光パターンを形成するレジスト膜が、ポリビニルフェノール樹脂を主成分とすることを特徴とするフォトマスクの製造方法。

【請求項 18】 請求項 1 記載のフォトマスクの製造方法において、前記メタルが高融点金属膜、高融点金属膜とシリコンとの化合物からなることを特徴とするフォトマスクの製造方法。

【請求項 19】 以下の工程を有することを特徴とするフォトマスクの製造方法：

- (a) マスク基板上に帯電防止膜を堆積する工程、
- (b) 前記帯電防止膜上に集積回路パターン転写用のメタルからなる遮光パターンを形成する工程、
- (c) 前記帯電防止膜上に集積回路パターン転写用のレジスト膜からなる遮光パターンを形成する工程。

【請求項 20】 以下の工程を有することを特徴とするフォトマスクの製造方法：

- (a) マスク基板上に集積回路パターン転写用のメタルからなる遮光パターンを形成する工程、
- (b) 前記マスク基板上に集積回路パターン転写用のレジスト膜を堆積する工程、
- (c) 前記レジスト膜上に帯電防止膜を堆積する工程、
- (d) 前記レジスト膜からなる遮光パターンを形成する工程。

【請求項 21】 以下の工程を有することを特徴とするフォトマスクの製造方法：

- (a) マスク基板上に集積回路パターン転写用のメタルからなる遮光パターンを形成する工程、
- (b) 前記マ

ク基板上に第1のレジスト膜を堆積する工程、(c)前記第1のレジスト膜上に第2のレジスト膜を堆積する工程、(d)前記第2のレジスト膜をパターン加工することにより遮光パターンを形成する工程、(e)前記第2のレジスト膜からなる遮光パターンをエッチングマスクとして、第1のレジスト膜をパターン加工する工程。

【請求項22】 請求項21記載のフォトマスクの製造方法において、前記第1のレジスト膜は、透過光に位相差を生じさせる位相調整膜であることを特徴とするフォトマスクの製造方法。

【請求項23】 マスク基板に、集積回路パターン転写用の金属からなる遮光パターンおよび前記集積回路パターン転写用のレジスト膜からなる遮光パターンを有することを特徴とするフォトマスク。

【請求項24】 請求項23記載のフォトマスクにおいて、前記金属からなる遮光パターンが、前記レジスト膜からなる遮光パターンに連結された部分を有することを特徴とするフォトマスク。

【請求項25】 請求項23記載のフォトマスクにおいて、前記マスク基板上に帯電防止膜を設けたことを特徴とするフォトマスク。

【請求項26】 請求項23記載のフォトマスクにおいて、前記マスク基板上に、前記レジスト膜からなる遮光パターンにより形成された顧客情報パターン転写用の遮光パターンを設けたことを特徴とするフォトマスク。

【請求項27】 請求項23記載のフォトマスクにおいて、前記遮光パターンを形成するレジスト膜が、ノボラック系樹脂を主成分とすることを特徴とするフォトマスク。

【請求項28】 請求項23記載のフォトマスクにおいて、前記遮光パターンを形成するレジスト膜が、ポリビニルフェノール樹脂を主成分とすることを特徴とするフォトマスク。

【請求項29】 請求項23記載のフォトマスクにおいて、前記金属が高融点金属膜または高融点金属膜シリサイドからなることを特徴とするフォトマスク。

【請求項30】 請求項23記載のフォトマスクは、露光光の波長が100nm以上、250nm未満とする露光処理で用いることを特徴とするフォトマスク。

【請求項31】 マスク基板に、集積回路パターン転写用の金属からなる遮光パターンおよび前記集積回路パターン転写用のレジスト膜からなるハーフトーンパターンとを有することを特徴とするフォトマスク。

【請求項32】 マスク基板に、集積回路パターン転写用の金属からなる遮光パターン、前記集積回路パターン転写用の位相シフトおよび前記集積回路パターン転写用のパターンであって前記位相シフトの周辺を取り囲むように設けられたレジスト膜からなる遮光パターンを有することを特徴とするフォトマスク。

【請求項33】 マスク基板に、集積回路パターン転写

用のレジスト膜からなる遮光パターンおよび前記レジスト膜とは異なる材料からなる前記集積回路パターン転写用のハーフトーンパターンを有することを特徴とするフォトマスク。

【請求項34】 マスク基板に、集積回路パターン転写用のレジスト膜からなるハーフトーンパターンおよび前記レジスト膜とは異なる材料からなる前記集積回路パターン転写用のハーフトーンパターンを有することを特徴とするフォトマスク。

【請求項35】 マスク基板に、集積回路パターン転写用のレベソソ型位相シフトパターンおよび集積回路パターン転写用のレジスト膜からなる遮光パターンを有することを特徴とするフォトマスク。

【請求項36】 マスク基板に、集積回路パターン転写用のレベソソ型位相シフトパターン、前記集積回路パターン転写用の位相シフトおよび前記集積回路パターン転写用のパターンであって前記位相シフトの周辺を取り囲むように設けられたレジスト膜からなる遮光パターンを有することを特徴とするフォトマスク。

【請求項37】 マスク基板上に、集積回路パターン転写用の金属からなる遮光パターンと、前記集積回路パターン転写用のパターンであって、第1のレジスト膜上に第2のレジスト膜が積み重ねられてなるレジストパターンとを有し、前記第1、第2のレジスト膜のいずれか一方によりハーフトーンパターンが形成されていることを特徴とするフォトマスク。

【請求項38】 マスク基板の一部に、集積回路パターン転写用のレジスト膜からなる遮光パターンを有することを特徴とするフォトマスク。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フォトマスクの製造方法およびフォトマスク技術に関し、特に、リソグラフィ技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 例えば半導体集積回路装置の製造においては、微細パターンを半導体ウエハ上に転写する方法として、リソグラフィ技術が用いられる。リソグラフィ技術においては、主に投影露光装置が用いられ、投影露光装置に装着したフォトマスク（以下、単にマスクという）のパターンを半導体ウエハ（以下、単にウエハという）上に転写してデバイスパターンを形成する。

【0003】 本発明者が検討した通常のマスクのマスクパターンは、透明石英基板上に形成されたクロム（Cr）等の遮光膜をパターン加工することで形成される。この遮光膜のパターン加工は、例えば次の通りである。まず、遮光膜上に電子線感応レジストを塗布し、その電子線感応レジストに電子線描画装置にて所望のパターンを描画した後、現像により所望の形状のレジストパターンを形成する。続いて、そのレジストパターンをエッチ

ングマスクとしてドライエッチングやウエットエッチングで遮光膜をパターン加工した後、レジストパターンの除去および洗浄等を順に行い、所望の形状の遮光パターンを透明石英基板上に形成している。

【0004】また、近年のリソグラフィの解像度向上を目的として種々のマスク構造が提案されている。例えば特開平4-136854号公報には、単一透明パターンの解像度向上手段として、ハーフトーン型位相シフトマスクを用いる技術が開示されている。この技術では、単一透明パターンの周囲を半透明にして、すなわち、マスクの遮光部を半透明にした状態で、その半透明部を通過するフォトリジストの感度以下の僅かな光と、透明パターンを通過する光の位相を反転させるようにしている。半透明膜を通過した光は、主パターンである透明パターンを通過した光に対して位相が反転しているため、その境界部で位相が反転し、境界部での光強度が零(0)に近づく。これにより、相対的に透明パターンを通過した光の強度と、パターン境界部の光強度との比は大きくなり半透明膜を用いない技術に比べコントラストの高い光強度分布が得られる。このハーフトーン型位相シフトマスクは、上記通常のマスクの遮光膜がハーフトーン位相シフト膜に変更されたものであって、上記通常のマスクの製造工程とほぼ同じ工程で製造される。

【0005】また、例えば特開平5-289307号公報には、マスクの製造工程の簡略化および高精度化を目的として、遮光膜をレジスト膜で形成する技術が開示されている。この方法は、通常の電子線感応レジストや光感応レジストが、波長200nm程度以下の真空紫外光を遮光するという性質を利用したものである。この方法によれば遮光膜のエッチング工程やレジストの除去工程が不要となるので、マスクのコスト低減、寸法精度向上、欠陥低減が可能である。

【0006】また、例えば特開昭55-22864号公報には、金属膜および有機物質層を積層してなるパターンを有するリソグラフィ用マスク技術について記載があり、ガラス基板の主面上のクロム層をパターン加工するためのフォトリジストパターンに対してアルゴンイオンを照射し、そのフォトリジストパターンをクロム層パターンに固着することにより、露光光に対する遮蔽効果を向上させる技術が開示されている。

【0007】また、例えば特開昭60-85525号公報には、修復すべき欠陥を有するマスク上にホトリジストを塗布した後、そのホトリジストにおいてマスクを修復すべき微小領域に集束荷電粒子ビームを照射することにより炭素被膜化させて不透明状態とする技術が開示されている。

【0008】また、例えば特開昭54-83377号公報には、ホトマスクの局部的な不良個所に不透明エマルジョンを埋め込むことでパターンの修正を行う技術が開示されている。

#### 【0009】

【発明が解決しようとする課題】ところが、上記マスク技術においては、以下の課題があることを本発明者らは見出した。

【0010】すなわち、マスク上のマスクパターンの変更または修正に素早く対応できない、という課題がある。半導体集積回路装置の製造工程においては、顧客からの要求仕様に沿った半導体チップ構成を実現するために、製品開発時や製造時に顧客の要求のために、メモリの情報書き換えのために、特性調整のために、あるいは不良回路救済のために、回路パターンを変更または修正する場合がある。例えば特開昭63-274156号公報には、ROM(Read Only Memory)を内蔵する半導体集積回路装置の製造においてROMへの情報書き込みのために配線を頻繁に変更することが必要であることが記載されている。しかし、通常のマスクでは、その設計変更や修正のたびに、マスク基板を用意し、クロム膜の堆積およびパターン加工を行わなければならないので、マスクの製造に時間がかかる。このため、顧客の要求仕様に合った半導体集積回路装置を開発または製造するのに多大な時間と労力を必要とする。

【0011】また、マスクの遮光パターンをレジスト膜で形成する上記技術においては、マスクを実際に半導体集積回路装置の製造工程で用いる際の問題点やそのマスクの製造上の問題点及びその対策について開示されておらず、例えば次の課題がある。

【0012】第1は、マスクのアライメントマーク、パターン測定マークまたは製品判定マーク等のような各種情報検出等に用いる所定のパターンの検出が困難である、という課題である。例えば現在使用されているマスク欠陥検査装置や露光装置等においては、マスクのアライメントにハロゲンランプ等を主に用いている。したがって、マスクを欠陥検査装置や露光装置等に装着する場合に、マスク上の検出マークがレジスト膜パターンによって形成されていると、レジスト膜では光透過率が高く、高いコントラストを得ることができないので、パターンの検出が困難である。このため、マスクと欠陥検査装置や露光装置等とのアライメントが困難になり、良好な検査や露光ができなくなる課題がある。

【0013】第2は、マスクを欠陥検査装置や露光装置等に装着する際に異物が発生する、という課題である。上記技術においては、マスクを欠陥検査装置や露光装置等に装着する際に、マスクのレジスト膜が欠陥検査装置や露光装置等のマスク固定部材(例えば真空固定)に直接接触することになるので、レジスト膜が欠けたり削れたりすることで異物が発生する。この異物が、例えば検査装置や露光装置のレンズの表面に付着したり、チャンバ内を汚染したり、半導体ウエハの表面に付着することによって起因して、パターンの検査精度や転写精度の劣化を招いたり、パターンの短絡不良や開放不良等のような不良

が発生したりするので、半導体集積回路装置の信頼性および歩留まりが低下する課題がある。

【0014】第3は、マスク上にペリクルを張り付ける場合に、その張り付け部にレジスト膜が存在するとペリクルを上手く張り付けられない、ペリクルが剥離し易くなる、ペリクル剥離の際に異物が発生する課題である。

【0015】本発明の目的は、マスクにおけるマスクパターンの変更または修正時間を短縮することのできる技術を提供することにある。

【0016】また、本発明の目的は、レジスト膜を遮光膜として機能させるマスクにおいて、情報検出能力を向上させることのできる技術を提供することにある。

【0017】また、本発明の目的は、レジスト膜を遮光膜として機能させるマスクを用いた露光処理において、異物の発生を抑制または防止することのできる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】すなわち、本発明は、マスク基板の一部に、集積回路パターン転写用のレジスト膜からなる遮光パターンを形成する工程を有するものである。

【0021】また、本発明は、マスク基板に集積回路パターン転写用のメタルからなる遮光パターンを形成する工程、マスク基板に集積回路パターン転写用のレジスト膜からなる遮光パターンを形成する工程を有するものである。

【0022】また、本発明は、前記集積回路パターン転写用のメタルからなる遮光パターンを形成する工程時に、前記マスク基板の主面の周辺部にメタルからなる遮光パターンを形成するものである。

【0023】また、本発明は、前記マスク基板の主面の周辺部におけるメタルからなる遮光パターンにペリクルを接触固定するものである。

【0024】また、本発明は、前記マスク基板の主面の周辺部におけるメタルからなる遮光パターンに開口部を設けるものである。

【0025】また、本発明は、マスク基板に集積回路パターン転写用のメタルからなる遮光パターンを形成する工程、前記マスク基板に集積回路パターン転写用のレジスト膜からなる遮光パターンを形成する工程を有するものである。

【0026】また、本発明は、マスク基板に、集積回路パターン転写用のメタルからなる遮光パターンおよび前記集積回路パターン転写用のレジスト膜からなる遮光パターンを有するものである。

【0027】

【発明の実施の形態】本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0028】1. マスク（光学マスク）：基板上に光を遮光するパターンや光の位相を変化させるパターンを形成したものである。実寸の数倍のパターンが形成されたレチクルも含む。基板上とは、基板上面、基板上面に近接した内部領域または上空領域を含む（上面に近接した別の基板上に配置しても良い）。マスクの第1の主面とは、上記光を遮蔽するパターンや光の位相を変化させるパターンが形成された面であり、マスクの第2の主面とは第1の主面とは反対側の面のことを言う。通常のマスク（バイナリマスク）とは、基板上に光りを遮光するパターンと光を透過するパターンとでマスクパターンを形成した一般的なマスクのことを言う。

【0029】2. マスクのパターン面を以下の領域に分類する。転写されるべき集積回路パターンが配置される領域「集積回路パターン領域」、ペリクルに覆われている領域「ペリクルカバー領域」、集積回路パターン領域以外のペリクルカバー領域「集積回路パターン周辺領域」、ペリクルに覆われていない外部領域「周辺領域」、周辺領域のうち、光学的パターンが形成されている内側の領域「周辺内部領域」、その他の周辺領域で真空吸着等を使用される部分「周辺外部領域」。

【0030】3. マスク遮光材料に関して「メタル」と言うときは、クロム、酸化クロム、その他の金属および金属の化合物等を指し、広くは金属元素を含む単体、化合物、複合体等で遮光作用のあるものを含む。

【0031】4. 「遮光領域」、「遮光膜」、「遮光パターン」と言うときは、その領域に照射される露光光のうち、40%未満を透過させる光学特性を有することを示す。一般に数%から30%未満のものが使われる。一方、「透明」、「透明膜」、「光透過領域」、「光透過パターン」と言うときは、その領域に照射される露光光のうち、60%以上を透過させる光学特性を有することを示す。一般に90%以上のものが使用される。メタルまたはレジスト膜で形成された遮光領域、遮光膜および遮光パターンの上位概念を遮光部と言う。

【0032】5. ハーフトーンマスク：位相シフトマスクの一種でシフトと遮光膜を兼用するハーフトーン膜の透過率が1%以上、40%未満で、それが無い部分と比較したときの位相シフト量が光りの位相を反転させるハーフトーンシフトを有するものである。

【0033】6. レベンソン型位相シフトマスク：遮光領域で隔てられた隣り合う開口の位相を相互に反転させて、その干渉作用によって鮮明な像を得ようとする位相シフトマスクの一種である。

【0034】7. 通常照明：非変形照明のことで、光強度分布が比較的均一な照明を言う。

【0035】8. 変形照明：中央部の照度を下げた照明

であって、斜方照明、輪帯照明、4重極照明、5重極照明等の多重極照明またはそれと等価な瞳フィルタによる超解像技術を含む。

【0036】9. 解像度：パターン寸法は投影レンズの開口数NA (Numerical Aperture) と露光波長 $\lambda$ で規格かけて表現できる。異なる波長や異なるレンズNAを用いる場合は、解像度Rは、 $R = K1 \cdot \lambda / NA$ で表されるので換算して用いれば良い。ただし、焦点深度Dも $D = K2 \cdot \lambda / (NA)^2$ で表されるので、焦点深度は異なる。

【0037】10. 半導体の分野では紫外線は以下のように分類する。波長が400nm程度未満で、50nm程度以上を紫外線、300nm以上を近紫外線、300nm未満、200nm以上を遠紫外線、200nm未満を真空紫外線。なお、本願の主な実施の形態は200nm未満の真空紫外線領域を中心に説明するが、以下の実施例で説明するような変更を行えば、250nm未満、200nm以上のKrFエキシマレーザによる遠紫外域でも可能であることは言うまでもない。また、100nm未満、50nm以上の紫外線の短波長端領域でも本発明の原理を適用することは同様に可能である。

【0038】11. スキャンニング露光：細いスリット状の露光帯を、半導体ウエハとフォトマスク（又はレチクル、本願でフォトマスクと言うときはレチクルも含む広い概念を示す）に対して、スリットの長手方向と直交する方向に（斜めに移動させてもよい）相対的に連続移動（走査）させることによって、フォトマスク上の回路パターンを半導体ウエハ上の所望の部分に転写する露光方法。

【0039】12. ステップアンドスキャン露光：上記スキャンニング露光とステッピング露光を組み合わせるウエハ上の露光すべき部分の全体を露光する方法であり、上記スキャンニング露光の下位概念に当たる。

【0040】13. 半導体集積回路ウエハ（半導体集積回路基板）またはウエハ（半導体基板）とは、半導体集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。

【0041】14. デバイス面とは、ウエハの主面であってその面にフォトリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面を言う。

【0042】15. マスキング層：一般にレジスト膜を言うが、無機マスクや非感光性の有機物マスク等も含むものとする。

【0043】16. 転写パターン：マスクによってウエハ上に転写されたパターンであって、具体的には上記フォトリソパターンおよびフォトリソパターンをマスクとして実際に形成されたウエハ上のパターンを言

う。

【0044】17. レジストパターン：感光性の有機膜をフォトリソグラフィの手法により、パターンニングした膜パターンを言う。なお、このパターンには当該部分に関して全く開口のない単なるレジスト膜を含む。

【0045】18. ホールパターン：ウエハ上で露光波長と同程度又はそれ以下の二次元的寸法を有するコンタクトホール、スルーホール等の微細パターン。一般には、マスク上では正方形またはそれに近い長方形あるいは八角形等の形状であるが、ウエハ上では円形に近くすることが多い。

【0046】19. ラインパターン：所定の方向に延在する帯状のパターンをいう。

【0047】20. カスタム回路パターン：例えばカスタムI/O回路、カスタム論理回路等のような顧客の要求によって設計変更が行われる回路を構成するパターンをいう。

【0048】21. 冗長回路パターン：集積回路に形成された予備の回路と不良の回路とを交換するための回路を構成するパターンを言う。

【0049】以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0050】また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0051】さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0052】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0053】また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT (Thin-Film-Transistor) およびSTN (Super-Twisted-Nematic) 液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

【0054】また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、そ



の繰り返しの説明は省略する。

【0055】また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために遮光パターンや位相シフトパターンにハッチングを付す場合もある。

【0056】また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

【0057】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0058】(実施の形態1) 図1(a)は、本発明の一実施の形態のフォトマスクの平面図、(b)はフォトマスクを所定の装置に装着した時の(a)のA-A線の断面図である。

【0059】本実施の形態1のマスクPM1は、例えば実寸の1~10倍の寸法の集積回路パターンの原画を縮小投影光学系等を通してウエハに結像して転写するためのレチクルである。ここには、半導体チップの周辺が遮光部となる場合のマスクであって、ウエハ上でポジ型のレジスト膜を用いラインパターンを形成する場合のマスクが例示されている。

【0060】このマスクPM1のマスク基板1は、例えば平面四角形に形成された厚さ6mm程度の透明な合成石英ガラス板等からなる。マスク基板1の主面中央には、平面長方形の光透過開口領域が形成され、マスク基板1の主面が露出されている。この光透過開口領域は、上記集積回路パターン領域を形成している。この集積回路パターン領域においてマスク基板1の主面上には、ウエハ上に集積回路パターンを転写するための遮光パターン2a、3aが配置されている。ここでは、遮光パターン2a、3aがウエハ上のラインパターンとして転写される場合が例示されている。

【0061】本実施の形態においては、遮光パターン2aは通常のマスクと同様にメタルで構成されているが、集積回路パターン領域内における一部の領域RE(破線で示す領域)の遮光パターン3aがレジスト膜で形成されている。したがって、後述するように領域REの遮光パターン3aは、比較的簡単に除去することができる。そして、新たな遮光パターン3aを簡単にしかも短時間のうちに形成することが可能となっている。この遮光パターン3aを形成するレジスト膜は、例えばKrFエキシマレーザ光(波長248nm)、ArFエキシマレーザ光(波長193nm)またはF<sup>2</sup>レーザ光(波長157nm)等のような露光光を吸収する性質を有しており、メタルで形成される遮光パターン2aとほぼ同様の遮光機能を有している。このレジスト膜の材料等の構造については後述する。なお、レジスト膜によって遮光パ

ターンを形成する技術については、本願発明者らによる特願平11-185221号(平成11年6月30日出願)に記載がある。

【0062】このマスク基板1の主面において集積回路パターン領域の外周は遮光パターン2bによって覆われている。遮光パターン2bは、上記集積回路パターン領域の外周からマスク基板1の外周にわたって平面枠状に形成されており、例えば上記遮光パターン2aと同じメタルで、同じパターン加工工程において形成されている。遮光パターン2a、2bは、例えばクロムまたはクロム上に酸化クロムが堆積されてなる。ただし、遮光パターン2a、2bの材料は、これに限定されるものではなく種々変更可能であり、例えばタングステン、モリブデン、タンタルまたはチタン等のような高融点金属、窒化タングステン等のような窒化物、タングステンシリサイド(WSix)やモリブデンシリサイド(MoSix)等のような高融点金属シリサイド(化合物)、あるいはこれらの積層膜を用いても良い。本実施の形態のマスクPM1の場合は、レジスト膜で形成される遮光パターン3aを除去した後、そのマスク基板1を洗浄し再度使用する場合があるので、遮光パターン2a、2bには耐剥離性や耐摩耗性に富む材料が好ましい。タングステン等の高融点金属は、耐酸化性および耐摩耗性に富み、耐剥離性に富むので、遮光パターン2a、2bの材料として好ましい。

【0063】遮光パターン2b上において略八角形の枠内領域は、上記ペリクルカバー領域を示している。すなわち、ここでは、マスクPM1のマスク基板1の主面側に、ペリクルPEがペリクル貼り付けフレームPEfを介して接合されている場合が例示されている。ペリクルPEは、透明な保護膜を持つ構成体であり、マスクPM1に異物が付着することを避けるためにマスク基板1の主面あるいは主面および裏面から一定の距離を隔てて設けられている。この一定の距離は、保護膜表面上の付着異物と異物のウエハへの転写性を考慮して設計されている。

【0064】このペリクル張り付けフレームPEfの基部は、マスクPM1の遮光パターン2bに直接接触した状態で接合固定されている。これにより、ペリクル張り付けフレームPEfの剥離を防止できる。また、ペリクル張り付けフレームPEfの取り付け位置にレジスト膜が形成されていると、ペリクルPEの取り付け取り外しの際に、レジスト膜が剥離し異物発生の原因となる。ペリクル張り付けフレームPEfを遮光パターン2bに直接接触させた状態で接合することにより、そのような異物発生を防止できる。

【0065】ペリクルカバー領域において、上記集積回路パターン領域を除いた領域は、集積回路パターン周辺領域を示している。この集積回路パターン周辺領域には、マスクPM1の情報検出用のマークパターン4aが

形成されている。このマークパターン 4 a は、電子線描画装置を用いてマスク PM1 上に所定のパターンを描画する際に、マスク PM1 から直接マスク PM1 の位置情報を検出するためのパターンである。すなわち、電子線描画装置を用いてマスク PM1 の集積回路パターン領域に所定の集積回路パターンを描画する際に、そのマスク PM1 のマークパターン 4 a を何秒かに 1 回の割合で読み取り、パターン描画用の電子線の照射位置を補正（調整）しながらパターン描画を行う。これにより、電子線描画装置によるパターン描画位置精度を向上させることが可能となる。このようなマークパターン 4 a を設けたのは、例えば次の理由からである。

【0066】すなわち、通常の電子線描画装置においてはマスクへの描画処理は真空中で行う。真空中におけるマスクの保持は、図 2 に模式的に示すように、電子線描画装置の移動ステージ上のマスク保持部 200 の 3 点ピン 200 a にマスク PM1 またはマスク PM1 の装着されたカセット 201 を押し付け、押し付けピン 200 b で機械的に固定している。ここで、通常の電子線描画装置においては、描画中の電子線の位置ドリフトによるパターン描画位置ずれを防止する目的でマスク保持部 200 に取り付けられた、位置検出用のマークパターン 200 m を描画中に複数回検出し、位置ずれを補正している。マスク保持部 200（ステージ）のマスク PM1 は上述のように機械的に固定されているのでマスク保持部 200 のマークパターン 200 m とマスク PM1 との相対的な位置関係は一定なはずであるが、実際には高速で移動するステージの衝撃により、マークパターン 200 m とマスク PM1 との間にわずかな位置ずれが生じる場合がある。このため、電子線描画工程中にマスク PM1 の位置をマークパターン 200 m から読み取っているにもかかわらず、描画パターンに位置ずれが生じてしまう。そこで、マスク PM1 自体に位置補正用のマークパターン 4 a を配置し、マスク PM1 自体からその位置を直接検出するようにした。これにより、上記マスク PM1 の保持のずれも含めて補正することができるので、パターンの配列誤差を低減することができる。このようなマークパターン 4 a は、例えば当該パターン位置が光透過領域になっているか、遮光領域になっているかによって構成され、そこに照射された位置検出ビームまたは検出光の反射状態によって情報の検出がなされるようになっている。位置検出手段は、電子線描画装置の電子線を使用するもの、レーザライタによるレーザ光を使用するものまたは他の方式を用いることができる。特に位置精度の高い装置の適用が望ましい。このマークパターン 4 a は、前記マスク製造における共通遮光パターンの形成工程時に形成することもできるし、マスクブランクスの製造工程時に形成することも有効である。

【0067】図 1 のペリクルカバー領域の外側は周辺領域を示している。この周辺領域には、マスク PM1 の情

報検出用のマークパターン 4 b が形成されている。マークパターン 4 b は、例えばアライメント用のマークやマスク製造で用いる校正用のマーク等として使用される。アライメント用のマークは、検査装置や露光装置等の所定の装置にフォトマスク PM1 を装着した際に、マスク PM1 の位置を検出することでマスク PM1 と検査装置や露光装置等とのアライメントを行うために用いるマークである。また、校正用のマークは、パターン合わせずれ、パターンの形状状態またはパターン転写精度を測定する際に用いるマークである。

【0068】このマークパターン 4 b は、光透過パターンによって形成されている。すなわち、マークパターン 4 b は、遮光パターン 2 b の一部が除去され、その下層の透明なマスク基板 1 の一部が露出されることで形成されている。このため、マスク PM1 の位置検出に通常のハロゲンランプ等を用いる露光装置を用いた場合においても、マークパターン 4 b を透過した光のコントラストを十分に得ることができるので、マークパターン 4 b の認識能力を向上させることができる。このため、マスク PM1 と露光装置との相対的な位置合わせを、容易に、しかも高い精度で行うことが可能となる。本発明者の検討結果によれば、上記通常マスクと同等の位置合わせが可能となった。なお、上記マークパターン 4 a、4 b は、ウエハ上に転写されない。

【0069】本実施の形態においては、この周辺領域にパターン形成用のレジスト膜が形成されていない。この周辺領域にレジスト膜が形成されていると、そのレジスト膜がマスク PM1 を検査装置や露光装置等に装着した際の機械的衝撃等によって剥離したり削れたりすることで異物が発生する。しかし、本実施の形態によれば、周辺領域にレジスト膜が存在しないので、レジスト膜の剥離や削れ等を防止でき、レジスト膜の剥離等に起因する異物発生の不具合等を防止することができた。

【0070】また、マスク MP1 は、上記検査装置や露光装置等の装着部 5 が、マスク PM1 の遮光パターン 2 b に直接接触した状態で検査装置や露光装置等に設置されるようになっている。図 1 (a) の太枠で示す領域 5 A は装着部 5 が接触する領域を示している。このようにマスク PM1 を検査装置や露光装置等に装着したとしても、遮光パターン 2 b 上にはレジスト膜が形成されていないので、レジスト膜の剥離や削れに起因する異物は発生しない。また、遮光パターン 2 b を構成するメタルは固いのでメタルの剥離や削れに起因する異物の発生もない。なお、装着部 5 は真空吸着機構を有するものが例示されている。

【0071】次に、図 1 のマスク PM1 の製造方法の一例を図 3 および図 4 により説明する。

【0072】まず、図 3 (a) に示すように、例えば厚さ約 6 mm の透明な合成石英基板からなるマスク基板 1 を用意する。この段階では、マスク基板 1 の主面上に、遮

光パターン2a, 2bが通常のマスクと同じ方法で既に形成されている。すなわち、この遮光パターン2a, 2bは、マスク基板1aの主面上に、遮光性の高い金属膜をスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびエッチング技術によってパターンニングすることで形成されている。この遮光パターン2a, 2bを形成する際にエッチングマスクとして用いるレジスト膜としては、ポジ型のレジスト膜を使用する。その方が、電子線等による描画面積を小さくでき、描画時間を短縮できるからである。遮光パターン2a, 2bのパターン加工後はそのポジ型のレジスト膜を除去する。

【0073】続いて、図3(b)に示すように、そのマスク基板1の主面上全面に、例えばKrFエキシマレーザ、ArFエキシマレーザまたはF<sup>2</sup>レーザ光等のような露光光を吸収する性質を持つレジスト膜3をスピコート法等によって塗布する。このレジスト膜3は電子線に感応するレジスト膜である。ここではノボラック系レジスト膜を、例えば150nmの膜厚で形成した。

【0074】続いて、位置合わせマークを用いて位置合わせを行った後、図3(c)に示すように、通常のマスクの製造工程における所望パターンの形成方法と同じ電子線描画方法を用いて、レジスト膜3からなる遮光パターン3aを形成した。ここで、後述する電子線の帯電に対する対策を行った。また、マスクPM1の周辺部は投影露光装置に対する接触部となるので、レジスト膜3は除去されるようにし、機械的衝撃によるレジスト膜3の剥離や削れ等に起因する異物の発生を防止した。

【0075】このレジスト膜3としては、例えば $\alpha$ -メチルスチレンと $\alpha$ -クロロアクリル酸の共重合体、ノボラック樹脂とキノンジアジド、ノボラック樹脂とポリメチルペンテン-1-スルホン、クロロメチル化ポリスチレン等を主成分とするものを用いた。ポリビニルフェノール樹脂等のようなフェノール樹脂やノボラック樹脂にインヒビタおよび酸発生剤を混合した、いわゆる化学増幅型レジスト等を用いることができる。ここで用いるレジスト膜3の材料としては、投影露光装置の光源に対し遮光特性をもち、マスク製造工程における、パターン描画装置の光源、例えば電子線あるいは230nm以上の光に感度を有する特性を持っていることが必要であり、前記材料に限定されるものではなく種々変更可能である。また、膜厚も150nmに限定されるものではなく、上記条件を満足する膜厚で良い。

【0076】代表的な電子線レジスト膜の分光透過率を図4に示す。ポリフェノール系、ノボラック系樹脂を約100nmの膜厚に形成した場合は、例えば150nm~230nm程度の波長で透過率がほぼ0であり、例えば波長193nmのArFエキシマレーザ光、波長157nmのF<sup>2</sup>レーザ等に十分なマスク効果を有する。ここでは、波長200nm以下の真空紫外光を対象にした

が、これに限定されない。波長248nmのKrFエキシマレーザ光等のようなマスク材は他の材料を用いるか、レジスト膜に光吸収材や光遮蔽材を添加することが必要である。また、レジスト膜で形成される遮光パターン3aを形成した後、露光光照射に対する耐性を向上させる目的での熱処理工程の付加や予め紫外光を強力に照射する、いわゆるレジスト膜のハードニング処理を行うのも有効である。

【0077】また、レジスト膜3は、例えばネガ型のレジスト膜とした。これは、マスクPM1をQ-TAT(Quick Turn Around Time)で作成できるからである。すなわち、集積回路パターン領域の外側にレジスト膜を残しておくと同様に異物発生の原因となるので、その外側のレジスト膜を除去しておく必要がある。したがって、ここで、ポジ型のレジスト膜とすると集積回路パターン領域の外周の大半の部分をも電子線描画しなければならず時間がかかる。しかし、ネガ型のレジスト膜を用いれば、マスク基板1の主面内において相対的に面積の小さい領域を描画すれば良く、描画面積を小さくでき、描画時間を短くできる。

【0078】また、図1のマスクPM1の製造方法の他の一例を図5および図6により説明する。上記通常のマスクを製造する場合は、遮光パターン形成用のレジストパターンを電子線描画装置等によって描画する際に、その遮光パターン形成用の金属膜をアースとすることにより電子線描画時に発生する電子の帯電を防止できるので、帯電防止処理は不要である。しかし、本実施の形態のマスクPM1を製造する場合は、レジスト膜3に電子線描画装置を用いて遮光パターンを形成する際に、マスク基板1もレジスト膜3も絶縁体なので、照射された電子が逃げ場を失い帯電し、レジストパターン(すなわち、遮光パターン3a)の形成に悪影響を及ぼす場合がある。そこで、例えば次のようにしてマスクPM1を製造する。

【0079】まず、図5(a)に示すように、マスク基板1の主面上に透明導電膜7aを堆積する。透明導電膜7aとしては、例えばITO(インジウム-スズ-オキサイド)膜を用いることができる。この透明導電膜7aは加工する必要は無い。続いて、その透明導電膜7a上に上記したように通常のマスクの遮光パターンの形成方法と同様にして遮光パターン2a, 2bを形成する。続いて、図5(b)に示すように、この透明導電膜7a上に、前記レジスト膜3を前記実施の形態1と同様に塗布する。透明導電膜7aはアースEAと電気的に接続される。その後、上記と同様に電子線描画装置を用いてレジスト膜3に所定のパターン(遮光パターン3a)を描画する。この際、マスク基板1に照射された電子を透明導電膜7aを通じてアースERに逃がすことができるので、電子の帯電に起因するレジストパターンの形状劣化や位置ずれ不良等の不具合を抑制または防止することが

可能となる。その後、現像処理および洗浄処理を経て図5(c)に示すマスクPM1を製造する。

【0080】また、上記と同様の目的から次のようにしても良い。まず、図6(a)に示すように、既に遮光パターン2a、2bが形成されたマスク基板1を用意した後、図6(b)に示すように、その主面上に上記レジスト膜3を塗布する。続いて、レジスト膜3上に水溶性導電有機膜7bを塗布する。水溶性導電有機膜7bとしては、例えばエスペーサ(昭和電工KK製)やアクアセーブ(三菱レーヨン社製)等を用いた。その後、水溶性導電有機膜7bとアースEAとを電氣的に接続した状態で、上記パターン描画のための電子線描画処理を行った。その後、レジスト膜3の現像処理時に水溶性導電有機膜7bも除去した。上記の方法により電子線の帯電を防止でき、パターン形状の異常やパターンの位置ずれ等の不具合を防止できた。このようにして図6(c)に示すマスクPM1を製造する。

【0081】このようなマスクPM1においては、レジスト膜からなる遮光パターン3aの酸化防止を目的として、パターン面を窒素(N<sub>2</sub>)等の不活性ガス雰囲気に係することも有効である。また、遮光パターン3aを形成するためのレジスト膜のパターン描画は上記電子線描画方法に限らず、例えば230nm以上の紫外線(例えばi線(波長365nm))によりパターンを描画すること等も可能である。なお、本発明の趣旨は、レジスト膜を直接マスク(遮光パターン)として用いることにあり、実用的なマスクの構造を提供するものである。したがって、遮光対象波長、レジスト材料、マスク基板材料は他のものを用いても良い。

【0082】このマスクPM1を用い縮小投影露光装置によって図7に示すウエハ8上にパターンを転写した。図7(a)はウエハ8の要部平面図、(b)は(a)のA-A線の断面図を示している。被投影基板となるウエハ8は、例えばシリコン単結晶からなり、その主面上には絶縁膜9aが堆積されている。絶縁膜9a上の全面には導体膜10aが堆積されている。さらに、その導体膜10a上には、ArFに感光性を持つ通常のポジ型のレジスト膜11aが、例えば300nm程度の膜厚で堆積されている。

【0083】縮小投影露光装置の投影光は、例えば波長193nmのArFエキシマレーザー光を用い、投影レンズの開口数NAは、例えば0.68、光源のコヒーレンシσは、例えば0.7を用いた。縮小投影露光装置とマスクPM1とのアライメントは、上記マスクPM1のマークパターン4bを検出することで行った。ここでのアライメントには、例えば波長633nmのヘリウムネオン(He-Ne)レーザー光を用いた。この場合、マークパターン4bを透過した光のコントラストが充分にとれるので、マスクPM1と露光装置との相対的な位置合わせを、容易に、しかも高い精度で行うことができた。

【0084】その後、通常の露光方法によってマスクPM1上の集積回路パターンをウエハ8の主面上に投影した。そして、通常の熱処理、現像工程を経て、図8に示すレジストパターン11a1を形成した。図8(a)はウエハ8の要部平面図、(b)は(a)のA-A線の断面図である。領域REはレジスト膜で形成された遮光パターン3aが転写された領域を示している。その後、そのレジストパターン11a1をエッチングマスクとして、導体膜10aに対してエッチング処理を施すことにより、図9に示すように導体膜パターン10a1を形成した。図9(a)はウエハ8の要部平面図、(b)は(a)のA-A線の断面図である。この結果、上記通常のマスクを用いた露光時とほぼ同じパターン転写特性が得られた。例えば0.19μmラインアンドスペースが0.4μmの焦点深度で形成できた。

【0085】この露光処理で用いた縮小投影露光装置の一例を図10に示す。縮小投影露光装置12の光源12aから発する露光光はフライアイレンズ12b、照明形状調整アパーチャ12c、コンデンサレンズ12d1、12d2およびミラー12eを介してマスクPM1を照射する。露光光源としては、上記したように、例えばKrF、ArFエキシマレーザーまたはF<sup>2</sup>レーザー光等を用いる。マスクPM1は、遮光パターン2a、2bが形成された主面を下方(ウエハ8側)に向けた状態で縮小投影露光装置12に載置されている。したがって、上記露光光は、マスクPM1の裏面側から照射される。これにより、マスクPM1上に描かれたマスクパターンは、投影レンズ12fを介して試料基板であるウエハ8上に投影される。マスクPM1の主面には、上記ペリクルPEが場合によって設けられている。なお、マスクPM1は、マスク位置制御手段12gで制御されたマスクステージ12hの上記装着部5において真空吸着され、位置検出手段12iにより位置合わせされ、その中心と投影レンズ12fの光軸との位置合わせが正確になされている。

【0086】ウエハ8は、試料台12j上に真空吸着されている。試料台12jは、投影レンズ12fの光軸方向、すなわちZ軸方向に移動可能なZステージ12k上に載置され、さらにXYステージ12m上に搭載されている。Zステージ12kおよびXYステージ12mは、主制御系12nからの制御命令に応じてそれぞれの駆動手段12p1、12p2によって駆動されるので、所望の露光位置に移動可能である。その位置はZステージ12kに固定されたミラー12qの位置として、レーザー測長器12rで正確にモニタされている。さらに、位置検出手段12iには、例えば通常のハロゲンランプが用いられている。すなわち、特別な光源を位置検出手段12iに用いる必要がなく(新しい技術や難しい技術を新たに導入する必要がなく)、いままで通りの縮小投影露光装置を用いることができる。したがって、本実施の形

態のような新規なマスク PM1 を用いるからといって製品のコストが増加することもない。また、上記主制御系 12n はネットワーク装置と電氣的に接続されており、縮小投影露光装置 12 の状態の遠隔監視等が可能となっている。露光方法としては、例えばステップアンドリピート露光方法またはステップアンドスキニング露光方法のいずれを用いても良い。

【0087】次に、例えばツイン・ウエル方式の CMI S (Complimentary MIS) 回路を有する半導体集積回路装置の製造工程に本発明の技術思想を適用した場合を図 11～図 14 により説明する。

【0088】図 11 は、その製造工程中におけるウエハ 8 の要部断面図である。ウエハ 8 は、例えば平面略円形状の薄板からなる。ウエハ 8 を構成する半導体基板 8s は、例えば n<sup>+</sup> 形の Si 単結晶からなり、その上部には、例えば n ウエル NWL および p ウエル PWL が形成されている。n ウエル NWL には、例えばリン (P) またはヒ素 (As) が導入されている。また、p ウエル PWL には、例えばホウ素が導入されている。

【0089】この半導体基板 8s の主面には、例えば酸化シリコン膜からなる分離用のフィールド絶縁膜 9b が LOCOS (Local Oxidization of Silicon) 法等によって形成されている。なお、分離部は溝型としても良い。すなわち、半導体基板 8s の厚さ方向に掘られた溝内に絶縁膜を埋め込むことで分離部を形成しても良い。このフィールド絶縁膜 9b によって囲まれた活性領域には、nMISQn および pMISQp が形成されている。

【0090】nMISQn および pMISQp のゲート絶縁膜 9c は、例えば酸化シリコン膜からなり、熱酸化法等によって形成されている。また、nMISQn および pMISQp のゲート電極 10b は、ウエハ 8 の主面上に、例えば低抵抗ポリシリコンからなるゲート形成用の導体膜を CVD 法等によって堆積した後、その膜を、上記縮小投影露光装置 12 およびフォトマスク PM1 を用いたフォトリソグラフィ技術と通常のエッチング技術とによってパターン加工することで形成されている。特に限定されないが、ゲート長は、例えば 0.18 μm 程度である。

【0091】nMISQn のソースまたはドレインを形成する半導体領域 13 は、ゲート電極 10b をマスクとして、例えばリンまたはヒ素を半導体基板 8s にイオン注入法等によって導入することにより、ゲート電極 10b に対して自己整合的に形成されている。また、pMISQp のソースまたはドレインを形成する半導体領域 14 は、ゲート電極 10b をマスクとして、例えばホウ素を半導体基板 8s にイオン注入法等によって導入することにより、ゲート電極 10b に対して自己整合的に形成されている。

【0092】ただし、上記ゲート電極 10b は、例えば

低抵抗ポリシリコンの単体膜で形成されることに限定されるものではなく種々変更可能であり、例えば低抵抗ポリシリコン膜上にタングステンシリサイドやコバルトシリサイド等のようなシリサイド層を設けてなる、いわゆるポリサイド構造としても良いし、例えば低抵抗ポリシリコン膜上に、窒化チタンや窒化タングステン等のようなバリア導体膜を介してタングステン等のような金属膜を設けてなる、いわゆるポリメタル構造としても良い。

【0093】まず、このような半導体基板 8s 上に、図 12 に示すように、例えば酸化シリコン膜からなる層間絶縁膜 9d を CVD 法等によって堆積した後、その上面にポリシリコン膜を CVD 法等によって堆積する。続いて、そのポリシリコン膜を、上記縮小投影露光装置 12 およびマスク PM1 を用いたフォトリソグラフィ技術および通常のエッチング技術によってパターンニングした後、そのパターンニングされたポリシリコン膜の所定領域に不純物を導入することにより、ポリシリコン膜からなる配線 10c および抵抗 10d を形成する。

【0094】その後、図 13 に示すように、半導体基板 8s 上に、例えば酸化シリコン膜からなる SOG (Spin On Glass) 膜 9e を塗布法等によって堆積した後、層間絶縁膜 9d および SOG 膜 9e に半導体領域 13、14 および配線 10c の一部が露出するようなコンタクトホール 15 を上記縮小投影露光装置 12 およびマスク PM1 を用いたフォトリソグラフィ技術および通常のエッチング技術によって穿孔する。さらに、半導体基板 8s 上に、例えばアルミニウム (Al) または Al 合金等からなる金属膜をスパッタリング法等によって堆積した後、その金属膜を上記縮小投影露光装置 12 およびマスク PM1 を用いたフォトリソグラフィ技術および通常のエッチング技術によってパターンニングすることにより、図 14 に示すように、第 1 層配線 10e を形成する。これ以降は、第 1 層配線 10e と同様に第 2 層配線以降を形成し、半導体集積回路装置を製造する。なお、ここでは、上記各フォトリソグラフィ工程において、形成しようとするパターンに対応したマスクパターン（遮光パターンおよび光透過パターン）を形成するものとする。

【0095】次に、本実施の形態のマスク PM1 を用いた半導体集積回路装置の製造方法の応用例について説明する。ここでは、半導体集積回路装置のパターンを部分的に修正または変更する場合の対処の仕方について説明する。

【0096】半導体集積回路装置の開発期や製造時においては、集積回路パターンの一部に修正や変更等が生じる場合がある。そのような場合、通常のマスクでは、新たなマスク基板を用意して、その上にメタル膜を堆積し、そのメタル膜をパターン加工することになる。このため、その修正や変更の作業は手間や時間のかかる面倒な作業となる。しかも、仮に製造されたマスクのパターンに不良が存在していた場合、不良の程度にもよるが一

一般的にそのマスクを使用することはできないので、そのマスクを破棄せざるを得ないし、新たなマスク基板を用意して最初からマスクを製造し直さなければならない。このため、無駄の多い不経済な作業となる場合がある。

【0097】これに対して本実施の形態のマスクPM1を用いた場合には、次のように対処できる。まず、図1のマスクPM1上のレジスト膜で形成された遮光パターン3aを図15に示すように除去する。図15(a)は、遮光パターン3a除去後のマスクPM1の平面図、(b)は(a)のA-A線の断面図を示している。マスクPM1上には、メタルで形成された遮光パターン2a、2bは残されているが、領域REの遮光パターン3aは除去され、領域REは光透過領域となっている。

【0098】レジスト膜からなる遮光パターン3aは、例えばn-メチル-2-ピロリドン有機溶剤によって剥離した。その他、加熱したアミン系有機溶剤またはアセトンにより遮光パターン3aを剥離しても良い。テトラメチルアンモニウムハイドロオキシド(TMAH)水溶液、オゾン硫酸または過酸化水素水と濃硫酸との混合液により除去することも可能である。TMAH水溶液を用いる場合には、その濃度を5%程度にするとメタル(遮光パターン2a、2b)を侵すことなくレジスト膜(遮光パターン3a)を剥離することができたので好ましい。

【0099】また、レジスト膜(遮光パターン3a)を除去する別の方法として酸素プラズマアッシング法を用いることも可能である。この方法は、特に、マスクPM1上のレジスト膜(遮光パターン3a)に対して上記レジスト膜のハードニング処理を施している場合に有効である。ハードニング処理を施しているレジスト膜(遮光パターン3a)は硬化しており、上記化学的な除去方法では十分に除去できない場合が生じるからである。

【0100】また、遮光パターン3aをピーリングによって機械的に剥離しても良い。すなわち、マスクPM1の遮光パターン3aの形成面に粘着テープを張り付けた後、その粘着テープを剥がすことにより、遮光パターン3aを剥離する。この場合、ほとんど有機溶剤を用いないし、また、真空状態を形成する必要もないので、遮光パターン3aを、比較的容易に、しかも短時間のうちに剥離することが可能となる。

【0101】レジスト膜(遮光パターン3a)の除去工程後、洗浄処理を施すことにより、マスクPM1の表面の異物を除去する。ここでの洗浄では、例えばオゾン硫酸洗浄およびブラシ洗浄処理の組合せを用いたが、異物除去能力が高く、メタル(遮光パターン2a、2b)を侵さない方法であれば、この方法に限定されず種々変更可能である。

【0102】その後、図16に示すように、領域REに、図1の領域REに示した遮光パターン3aの一群とは形状の異なる所望の遮光パターン3aの一群をレジス

ト膜によって形成する。この遮光パターン3aの形成方法は、マスクPM1の製造方法で説明したのと同じなので説明を省略する。このマスクPM1のパターンを前記縮小投影露光装置12等(図10参照)を用いてウエハ上に転写した場合を図17に示す。図17(a)はウエハ8の要部平面図、(b)は(a)のA-A線の断面図である。このように領域REに図9で示したのとは形状の異なる導体膜パターン10a1の一群を形成することができる。

【0103】このように、本実施の形態のマスクPM1の場合には、マスクPM1の一部の遮光パターン3aをレジスト膜で形成したことにより、マスクPM1の一部(領域RE)のパターンに修正や変更が生じた場合、半導体集積回路装置の製造工程で一般的に行われているフォトリソグラフィと同じ要領で、遮光パターン3aを除去し、遮光パターン3aを形成し直せば良いので、その修正や変更を、簡単に、しかも極めて短時間のうちに行うことが可能となる。すなわち、マスクPM1の製造期間を大幅に短縮することが可能となる。したがって、このマスクPM1を半導体集積回路装置の開発や製造に用いることにより、半導体集積回路装置の開発や製造の時間を大幅に短縮させることが可能となる。

【0104】また、マスクPM1のパターンの修正または変更の際には、新たなマスク基板1を用意する必要もないし、最初から作り直す必要もない。しかも、製造されたマスクの遮光パターン3aに不良が存在していたら、再度、遮光パターン3aを除去し、パターン加工し直せば良い。このため、マスクPM1の製造の工程数を大幅に減らすことが可能となし、マスクPM1の製造で必要とされる材料を極めて少なくすることが可能となる。このため、マスクPM1の製造コストを大幅に低減させることが可能となる。したがって、このマスクPM1を半導体集積回路装置の開発や製造に用いることにより、半導体集積回路装置のコストを大幅に低減させることが可能となる。

【0105】図18~図20は、本発明の技術思想を適用して有効な半導体集積回路装置の半導体チップ8c1~8c3の一例を示している。半導体チップは、ウエハ8から切り出された平面四角形状の半導体の小片である。なお、マスク上において遮光パターンをレジスト膜で形成する領域にハッチングを付す。

【0106】図18の半導体チップ8c1には、SRAM(Static Random Access Memory)、DRAM(Dynamic Random Access Memory)、DSP(Digital Signal Processor)、マイクロプロセッサ、MPEG(Moving Picture Experts Group)およびLogic等の回路領域が配置されている場合が例示されている。Logicは、顧客の要求等により変更され易いので、Logicの回路領域のパターンを形成するためのマスク上の遮光パターンをレジスト膜で形成する。すなわち、マスクP



M1の領域REに、Logicの回路領域のパターンを形成するマスクパターンをレジスト膜（遮光パターン3a）で形成する。それ以外の回路領域のパターンを形成するためのマスクPM1上の遮光パターンをメタルで形成する。

【0107】図19の半導体チップ8c2には、PCI制御回路、I/F制御回路、MCU、プログラムROM、データRAM（SRAM等）およびカスタム論理回路等の回路領域が配置されている場合が例示されている。このうち、I/F制御回路、プログラムROMおよびカスタム論理回路のパターンを形成するためのマスク上の遮光パターンをレジスト膜で形成する。すなわち、マスクPM1の3つの領域REを設け、その各々に、I/F制御回路、プログラムROMおよびカスタム論理回路のパターンを形成するマスクパターンをレジスト膜（遮光パターン3a）で形成する。それ以外の回路領域のパターンを形成するためのマスクPM1上の遮光パターンをメタルで形成する。I/F制御回路においては、例えばIEEE（アイ・トリプル・イー）1394、USB（Universal Serial Bus）、SCSI（Small Computer System Interface）、AGP（Accelerated Graphics Port）、Ether（イーサ）、Fiber channel（ファイバーチャンネル）等のようにインターフェースの規格が異なる場合にパターン形状が異なるからである。また、プログラムROMにおいては、後述するようにプログラムを書き換える必要が生じるからである。ここではROMの目（メモリセル）部分に対してマスク上の遮光パターンをレジスト膜で形成することを例示できる。また、カスタム論理回路は、例えばゲートアレイまたはスタンダードセルに代表されるように顧客の要求に応じて回路パターンを変更する場合が生じるからである。

【0108】図20の半導体チップ8c3には、CPU（Central Processing Unit）、メモリ、アプリケーションロジック回路、カスタムI/O（Input/Output）回路、アナログ回路およびカスタム論理回路が配置されている場合が例示されている。このうち、カスタムI/O回路およびカスタム論理回路のパターンを形成するためのマスク上の遮光パターンをレジスト膜で形成する。すなわち、マスクPM1の領域REを2箇所（箇所）に設け、その各々に、カスタムI/O回路およびカスタム論理回路のパターンを形成するマスクパターンをレジスト膜（遮光パターン3a）で形成する。それ以外の回路領域のパターンを形成するためのマスクPM1上の遮光パターンをメタルで形成する。カスタムI/O回路は、上記したI/F制御回路と同様の理由からである。

【0109】（実施の形態2）本実施の形態2においては、マスクの変形例を説明する。それ以外は、前記実施の形態1と同じである。

【0110】図21に示すマスクPM2は、半導体チッ

プの周辺輪郭が遮光部となる場合のマスクであって、ウエハ上でポジ型のレジスト膜を用いラインパターンを形成する場合のマスクを例示している。なお、図21

（a）はマスクPM2の平面図、（b）は（a）のA-A線の断面図を示している。

【0111】マスクPM2における集積回路パターン領域の遮光パターン2a、3aは前記実施の形態1と同じである。また、このマスクPM2を用いてウエハ上に転写されるパターンも前記図8、図9等（図）に示したのと同じである。ここでは、マスクPM2の集積回路パターン領域の外周に、それを取り囲むように、例えばメタルで形成された帯状の遮光パターン2cが形成されている。そして、その外側の大半は、遮光膜が除去されて光透過領域となっている。マスクPM2の周辺領域のマークパターン4a、4bは、メタルの遮光パターンで形成されている。したがって、検出光のコントラストを充分にとることができるので、マークの検出感度および検出精度を向上させることが可能となっている。

【0112】遮光パターン2a、2cおよびマークパターン4a、4bは、例えば同じメタル材料で、同じパターン加工工程時に形成されている。このマスク基板1上における遮光パターン2a、2cおよびマークパターン4a、4bの形成に際しては、エッチングマスクとしてネガ型のレジスト膜を用いる。これは、マスクPM2をQ-TATで作成することができるからである。すなわち、集積回路パターン領域の外側にレジスト膜を残しておく（と）前記したように異物発生（と）の原因となるので、その外側のレジスト膜を除去しておく必要があるが、ここで、ポジ型のレジスト膜とすると集積回路パターン領域の内部および外周の大半の部分を電子線描画しなければならず時間がかかる。しかし、ネガ型のレジスト膜を用いれば、マスク基板1の主面内において相対的に面積の小さい遮光パターン2a、2cおよびマークパターン4a、4bの領域を描画すれば良く、描画面積を小さくでき、描画時間を短くできる。

【0113】ペリクルPEのペリクル張り付けフレームPEfの基部は、マスク基板1に直接（と）接触した状態で接合されている。したがって、前記実施の形態1と同様にペリクル張り付けフレームPEfの剥離を防止できる。露光装置の装着部5もマスク基板1に直接（と）接触した状態となる。したがって、前記実施の形態1と同様にレジスト剥離等に起因する異物発生を抑制または防止できる。

【0114】マスクPM2の遮光パターン3aの変更方法も前記実施の形態1と同じである。図22および図23を用いて簡単に説明すると次の通りである。なお、図22および図23の（a）はマスクPM2の平面図、（b）は（a）のA-A線の断面図である。

【0115】まず、図21に示したマスクPM2の領域REの遮光パターン3aを図22に示すように前記実施の形態1と同様にして除去する。素子転写領域D1～D

3の遮光パターン2aおよび遮光パターン2cはメタルで形成されているので残される。続いて、図23に示すように、前記実施の形態1と同様にしてマスクPM2の領域REに、図21に示したのとは形状の異なる遮光パターン3aをレジスト膜で形成する。ここでは、上記のように遮光パターン3aを形成するレジスト膜としてネガ型のレジストを使用した。

【0116】このような本実施の形態2においても前記実施の形態1と同様の効果が得られる。

【0117】（実施の形態3）本実施の形態3においては、マスクの変形例を説明する。それ以外は、前記実施の形態1と同じである。

【0118】図24に示すマスクPM3は、ウエハ上でネガ型のレジスト膜を用いラインパターンを形成する場合のマスクを例示している。なお、図24(a)はマスクPM3の平面図、(b)は(a)のA-A線の断面図を示している。

【0119】マスクPM3のマスク基板1の主面は、ほぼ全面的にメタルで形成された遮光膜2dで覆われている。この遮光膜2dは、前記した遮光パターン2a～2cと同じ材料のものである。マスクPM3の集積回路パターン領域内の素子転写領域D1～D3においては、遮光膜2dの一部が除去されて光透過パターン16aが形成されている。また、集積回路パターン領域内の領域REは、遮光膜2dが平面四角形状に部分的に除去され光透過開口領域が形成されており、代わりにレジスト膜で形成された遮光膜3bで覆われている。そして、その遮光膜3bの一部が除去されて光透過パターン16bが形成されている。レジスト膜の遮光膜3bの外周の一部は遮光膜2dの一部上に積み重なっている。遮光膜3bのレジスト材料は、前記実施の形態1で説明した遮光パターン3aのレジスト材料と同じである。ここでは、光透過パターン16a、16bがウエハ上のラインパターンとして転写される場合が例示されている。すなわち、光透過パターン16a、16bのパターンがウエハ上に転写される。また、マスクPM3のマークパターン4a、4bは、前記実施の形態1と同様に、光透過パターンで形成されている。すなわち、遮光膜2dの一部を除去すること形成されている。したがって、検出光のコントラストを充分にとることができるので、マークの検出感度および検出精度を向上させることができる。

【0120】このマスク基板1上における遮光膜2dの加工（すなわち、光透過パターン16a、領域REの光透過開口領域およびマークパターン4a、4bの形成）に際しては、ポジ型のレジスト膜を用いる。これは、マスクPM3をQ-TATで作成することができるからである。すなわち、ここでネガ型のレジスト膜を使用すると集積回路パターン領域の内外の大半を電子線描画しなければならないからである。

【0121】ベリクルPEのベリクル張り付けフレーム

PEfの基部は、マスク基板1上のメタルで形成された遮光膜2dに直接接触した状態で接合されている。したがって、前記実施の形態1、2と同様にベリクル張り付けフレームPEfの剥離を防止できる。露光装置の装着部5もメタルで形成された遮光膜2dに直接接触した状態となる。したがって、前記実施の形態1、2と同様にレジスト剥離等に起因する異物発生を抑制または防止できる。

【0122】マスクPM3の光透過パターン16bの変更方法も前記実施の形態1、2と同じである。これを図25および図26を用いて簡単に説明すると次の通りである。なお、図25および図26の(a)はマスクPM3の平面図、(b)は(a)のA-A線の断面図である。

【0123】まず、図24に示すマスクPM3の領域REのレジスト膜で形成される遮光膜3bを図25に示すように前記実施の形態1、2と同様にして除去することにより、領域REの光透過開口領域16cを露出する。この際、メタルの遮光膜2dは残されるので、素子転写領域D1～D3の光透過パターン16aは、図24のままである。光透過開口領域16cは、例えば平面四角形状に開口されており、その領域からはマスク基板1の主面が露出されている。

【0124】続いて、マスクPM3の主面（遮光膜2dの形成された面）上に遮光パターン形成用のレジスト膜を塗布する。このレジスト膜は、ネガ型のレジスト膜を使用した。これは、マスクPM3をQ-TATで作成できるからである。すなわち、ここで、ポジ型のレジスト膜を使用すると集積回路パターン領域の内外において電子線を描画しなければならないから描画に時間がかかるが、ネガ型を用いれば描画面積を縮小でき、描画時間を短縮できるからである。続いて、そのレジスト膜の遮光領域を形成する部分に電子線等を照射してパターンを描画し、現像処理を施すことにより、図26に示すように、領域REに遮光膜3bおよびその一部が除去されてなる光透過パターン16bを形成する。

【0125】このような本実施の形態3においても前記実施の形態1、2と同様の効果が得られる。

【0126】（実施の形態4）本実施の形態4においては、ウエハ上の一つまたは一群のパターンを、複数枚のマスクを重ね合わせて露光することにより形成する、いわゆる重ね合わせ露光技術に本発明を適用した場合について説明する。それ以外は、前記実施の形態1～3と同じである。

【0127】図27は、本実施の形態4で用いる第1のマスクPM41の一例を示している。このマスクPM41の集積回路パターン領域には、例えば平面逆L字状の光透過開口領域16dが形成されている。光透過開口領域16dには、集積回路パターンをウエハ上に転写するためのメタルの遮光パターン2aが形成されている。こ



ここではウエハ上にラインパターンを転写するマスク PM 4 1 が例示されている。この光透過開口領域 1 6 d の周囲は、その大半がマスク基板 1 の外周にわたって金属の遮光膜 2 e で覆われている。領域 RE も遮光膜 2 e で覆われている。第 1 のマスク PM 4 1 において、マークパターン 4 b およびペリクルについては前記実施の形態 3 と同じである。

【0128】このマスク PM 4 1 は、半導体集積回路装置において、パターンの修正や変更が基本的に行われない定形パターン群で構成される回路（前記図 1 8 ～ 図 2 0 参照）のパターンを転写するマスクとして用いる。ここで、遮光パターン 2 a と遮光膜 2 e とは同じ材料からなるが、ここでは、遮光パターン 2 a および遮光膜 2 e の材料としてクロムや酸化クロム以外の材料としなくても良い。このマスク PM 4 1 は、通常のマスクと同じ使い方をするからである。すなわち、パターンの変更を行わないので、遮光パターン 2 a や遮光膜 2 e には通常のマスクに要求される耐性があれば良いからである。もちろん、マスク PM 4 1 の遮光パターンをレジスト膜で形成しても良い。

【0129】図 2 8 は、本実施の形態 4 で用いる第 2 のマスク PM 4 2 の一例を示している。このマスク PM 4 2 においては、その集積回路パターン領域の領域 RE に、例えば平面四角形状の光透過開口領域 1 6 e が形成されている。光透過開口領域 1 6 e には、集積回路パターンをウエハ上に転写するための前記レジスト膜の遮光パターン 3 a が形成されている。ここではウエハ上にラインパターンを転写するマスク PM 4 2 が例示されている。この光透過開口領域 1 6 e の周囲は、その大半がマスク基板 1 の外周にわたって金属の遮光膜 2 f で覆われている。遮光膜 2 f は、前記実施の形態 1 等で説明した遮光パターン 2 a と同じ材料からなる。第 2 のマスク PM 4 1 においても、マークパターン 4 b およびペリクルについては前記実施の形態 3 と同じである。

【0130】このマスク PM 4 2 は、半導体集積回路装置において、パターンの修正や変更が行われるパターン群で構成される回路（前記図 1 8 ～ 図 2 0 参照）のパターンを転写するマスクとして用いる。第 2 のマスク PM 4 2 での遮光パターン 3 a の修正や変更の仕方も前記実施の形態 1 ～ 3 と同じである。これを図 2 9 および図 3 0 を用いて簡単に説明すると次の通りである。なお、図 2 9 および図 3 0 の (a) はマスク PM 4 2 の平面図、(b) は (a) の A-A 線の断面図である。

【0131】まず、図 2 8 に示すマスク PM 4 2 の領域 RE のレジスト膜で形成される遮光パターン 3 a を図 2 9 に示すように前記実施の形態 1 ～ 3 と同様にして除去する。この際、金属の遮光膜 2 f は残される。続いて、マスク PM 4 2 の主面（遮光膜 2 f の形成された面）上に遮光パターン形成用のレジスト膜を塗布する。このレジスト膜は、ネガ型のレジスト膜を使用した。こ

れは、マスク PM 1 を Q-TAT で作成できるからである。すなわち、集積回路パターン領域の外側にレジスト膜を残しておくと同様に異物発生の原因となるので、その外側のレジスト膜を除去しておく必要がある。したがって、ここで、ポジ型のレジスト膜とすると集積回路パターン領域の外周の大半の部分をも電子線描画しなければならず時間がかかる。しかし、ネガ型のレジスト膜を用いれば、マスク基板 1 の主面内において相対的に面積の小さい遮光パターン 3 a の領域のみを描画すれば良く、描画面積を小さくでき、描画時間を短くできる。続いて、そのレジスト膜の遮光領域を形成する部分に電子線等を照射してパターンを描画し、現像処理を施すことにより、図 3 0 に示すように、領域 RE に図 2 8 で示した遮光パターン 3 a とは形状の異なる遮光パターン 3 a を形成する。もちろん、マスク PM 4 1、PM 4 2 の遮光部（遮光パターン、遮光領域）を全てクロム等のような金属で作成しても、マスク PM 4 2 の変更だけで済むので、マスク製造において Q-TAT を達成することが可能となる。

【0132】このような第 1、第 2 のマスク PM 4 1、PM 4 2 を用いてウエハ上にパターンを転写する方法を図 7 等を用いて説明すると、例えば次のとおりである。

【0133】まず、前記図 7 に示したように、ウエハ 8 上に形成された導体膜 1 0 a 上にポジ型のレジスト膜 1 1 a を塗布した後、そのレジスト膜 1 1 a に図 2 7 に示した第 1 のマスク PM 4 1 のマスクパターンを図 1 0 に示した縮小投影露光装置 1 2 により転写する。この際、第 1 のマスク PM 4 1 の光透過開口領域 1 6 d は露光光が透過するので、レジスト膜 1 1 a において、その光透過開口領域 1 6 d に対応する領域は露光される。しかし、第 1 のマスク PM 4 1 の領域 RE は遮光膜 2 e で覆われているので、レジスト膜 1 1 a において、その領域 RE に対応する領域は露光されない。

【0134】続いて、そのレジスト膜 1 1 a を除去せず、今度は、そのレジスト膜 1 1 a に図 2 8 に示した第 2 のマスク PM 4 2 のマスクパターンを図 1 0 に示した縮小投影露光装置 1 2 により転写する。この際は、第 1 のマスク PM 4 1 とは逆に、レジスト膜 1 1 a において第 2 のマスク PM 4 2 の領域 RE に対応する領域のみが露光される。

【0135】その後、レジスト膜 1 1 a に現像処理等を施すことにより、導体膜 1 0 a 上に第 1、第 2 のマスク PM 4 1、PM 4 2 のマスクパターンを反映するレジストパターンを形成する。その後、そのレジストパターンをエッチングマスクとして導体膜 1 0 a にエッチング処理を施すことにより、導体膜パターンを形成する。半導体集積回路装置の開発や製造工程中に第 2 のマスク PM 4 2 の領域 RE に修正や変更が生じたら上記したようにして第 2 のマスク PM 4 2 上の遮光パターン 3 a を作成し直せば良い。

【0136】このような本実施の形態4によれば、前記実施の形態1～3で得られた効果の他に以下の効果を得ることが可能となる。

【0137】すなわち、同一のマスクに、あまり修正や変更の無い遮光パターン2aと、修正や変更のある遮光パターン3aとを形成した場合には、パターンの修正や変更の際に、修正や変更の無い微細な遮光パターン2aに対してもレジスト膜（遮光パターン3a）の剥離処理や洗浄処理が施されるので、その遮光パターン2aが劣化したり剥離したりする場合がある。これに対して、本実施の形態4においては、あまり修正や変更のないパターンを転写する第1のマスクPM41と、修正や変更のあるパターンを転写する第2のマスクPM42とにマスクを分けたことにより、パターンの修正や変更の際に、修正や変更の無い微細な遮光パターン2aに対してはレジスト膜の剥離処理や洗浄処理が施されないで済むので、その遮光パターン2aが劣化したり剥離したりすることがない。また、第2のマスクPM42には、微細な遮光パターン2aが無いので、その遮光パターン2aの劣化や剥離を気にせず、遮光パターン3aの剥離や洗浄処理を施すことができる。したがって、マスクの寿命および信頼性を向上させることができる。

【0138】（実施の形態5）本実施の形態5は、マスクの変形例を説明するものであって、半透明位相シフトマスク（前記ハーフトーンマスク）に本発明を適用した場合を説明するものである。

【0139】図31は、本実施の形態5のマスクPM5を示している。マスクPM5の集積回路パターン領域の一部の光透過領域に、集積回路パターンを転写するためのハーフトーンパターン3cが形成されている。このハーフトーンパターン3cは、前記実施の形態1等で説明した遮光パターン3aを形成したレジスト膜3で形成されているが、露光光に対して半透明であり、かつ、露光光の位相を反転させる膜厚に調整されている。なお、ハーフトーンパターン3cは、マスク基板1において、遮光パターン2a、2bと同一面上に形成されている。

【0140】図31（b）は、本実施の形態5のマスクPM5の裏面側から照射した露光光の位相反転の様子を示している。ハーフトーンパターン3cを通過した露光光は、透明部（光透過領域）を通過した露光光に対して位相が180度反転している。すなわち、それら露光光の位相が逆になっている。また、ハーフトーンパターン3cの透過率は、ハーフトーンパターン3cを透過する前の露光光の約2～10％程度の光強度である。したがって、ハーフトーンパターン3cは、実質的に遮光部として作用するが、転写されるパターンの境界部を鮮明にする効果がある。なお、ハーフトーンパターン3cのパターン加工方法およびパターン変更方法は前記実施の形態1～4の遮光パターン3aのパターン加工方法および変更方法と同じである。

【0141】ArFエキシマレーザを露光光源とした場合は、マスクとなるレジスト膜での吸収が大きいので、上記2～10％程度の透過率と位相反転とを同時に実現するには、ハーフトーンパターン3c形成用のレジスト膜に対して調整が必要である。一方、波長157nmのF<sup>2</sup>レーザ光を露光光源とした場合はレジスト膜での吸収が小さくなるため上記2～10％程度の透過率と位相反転とを同時に実現するには有利である。

【0142】本実施の形態5においても、前記実施の形態1～4と同様の効果が得られる。

【0143】（実施の形態6）本実施の形態6は、前記実施の形態5のマスクの変形例を説明するものである。

【0144】前記実施の形態5においては、ハーフトーンパターンの膜厚によって位相差を設定しているため、その厚さを所定の範囲とする必要性があり、レジスト膜のハーフトーンパターンを透過する光の強度の設定が難しくなる場合がある。

【0145】そこで、本実施の形態6においては、上記光の位相差をレジスト膜のハーフトーンパターンの膜厚のみで設定するのではなく、その膜厚と、マスク基板に溝を掘り、その深さ（すなわち、その溝の形成部におけるマスク基板の厚さ）とを調節することで位相差を設定するようにしたもののものである。これにより、前記実施の形態5で得られた効果の他に、以下の効果を得ることが可能となる。すなわち、ハーフトーンパターンを透過する光の強度設定を容易にすることができる。また、ハーフトーンパターンを形成する材料の選択の幅を増やすことができる。

【0146】図32（a）は本実施の形態6のマスクPM6の具体例を示している。このマスクPM6においては、レジスト膜のハーフトーンパターン3dは、前記実施の形態5のハーフトーンパターン3cと同じ材料からなるが、その厚さをハーフトーンパターン3cよりも薄い半透明膜で形成し、そのハーフトーンパターン3dの厚さと、マスク基板1aに形成された溝18の部分におけるマスク基板1aの厚さで透過光の位相反転を実現した。

【0147】ハーフトーンパターン3dは、例えば厚さ50nm程度のノボラック系樹脂によって形成した。その結果、ハーフトーンパターン3dの透過率は5%になった。ただし、その透過率は5%に限定されるものではなく種々変更可能であり、例えば2～20％程度の範囲において目的に応じた選定が可能である。この場合の位相反転は約90度であった。このため、マスク基板1に約90nmの深さの溝18を掘込み、マスクPM6を透過した露光光に合計で約180度の位相反転が得られるようにした。このハーフトーンパターン3dの膜厚は上記したものに限定されるものではなく種々変更可能であり、材料の屈折率、露光波長等に応じて位相が反転するように調整すれば良い。

【0148】このようなマスクPM6の形成方法は、例えば次のとおりである。まず、前記実施の形態5等と同様に、図32(b)に示すように、マスク基板1上に、遮光パターン2a、2bおよびハフトーンパターン3dを形成する。続いて、その遮光パターン2a、2bおよびハフトーンパターン3dをエッチングマスクとして、そこから露出するマスク基板1を上記深さ分だけ選択的にエッチング除去する。これにより、図32

(a)に示した溝18をハフトーンパターン17bに対して自己整合的に形成する。このようにして本実施の形態6においては、例えば5%の透過率のハフトーンパターン3dを有するマスクPM6を製造することができた。なお、図32(a)の例示においては、マスクの製造工程を簡略化するために、溝18の形成時にマークパターン4b領域におけるマスク基板1もエッチング除去され掘り込まれているが、この領域のマスク基板1部分をエッチング除去しないようにすることもできる。また、マスクPM6において、ハフトーンパターン3dの修正や変更を行う場合は、溝18を形成する前に行う。

【0149】本実施の形態6においても、前記実施の形態1～5と同様の効果が得られる。

【0150】(実施の形態7) 本実施の形態7は、前記実施の形態5、6のマスクの変形例を説明するものである。

【0151】本実施の形態7においては、前記実施の形態6で説明した課題を解決するために、前記露光光の位相をハフトーンパターンのみで調整するのではなく、そのハフトーンパターンに対して平面的に重なる別の膜を設けることで調整するものである。これにより、本実施の形態7によれば、前記実施の形態6と同様に、ハフトーンパターンを透過する光の強度設定を容易にすることができる。また、ハフトーンパターンを形成する材料の選択の幅を増やすことができる。

【0152】図33(a)は、本実施の形態7におけるマスクPM7の具体例を示している。このマスクPM7においては、前記実施の形態6と同様のレジスト膜のハフトーンパターン3dと、マスク基板1との間に、例えば酸化シリコン膜からなる透明な位相調整膜19を設け、ハフトーンパターン3dと位相調整膜19との膜厚を調整することによって上記位相反転を実現している。

【0153】このようなマスクPM7の形成方法は、例えば次のとおりである。まず、図33(b)に示すように、マスク基板1の主面上に、例えば酸化シリコン膜からなる位相調整膜19をスパッタリング法、CVD(Chemical Vapor Deposition)法または塗布法等によって形成する。続いて、その上に、前記実施の形態5、6等と同様に、遮光パターン2a、2bおよびハフトーンパターン3dを形成する。その後、上記のようにハフトーンパターン3dのみでは、位相反転が約90度であ

ったので、ハフトーンパターン3dおよび遮光パターン2a、2bをエッチングマスクとして、その下層の位相調整膜19を、例えば90nm程度掘り込み、合計で約180度の位相反転が得られるようにした。この際、マスク基板1をエッチングストップとしても良い。このようにして、図33(a)に示したマスクPM7を製造する。本実施の形態7においても、例えば5%の透過率のハフトーン型のマスクPM7を製造できた。なお、ハフトーンパターン3dの膜厚は前記実施の形態6と同様にこれに限定されるものではない。また、本実施の形態7においてもマスクの製造工程を簡略化するために、位相調整膜19のパターニング時にマークパターン4b領域における位相調整膜19もエッチング除去されているが、この領域の位相調整膜19部分をエッチング除去しないようにすることもできる。また、この場合、マスクPM7のハフトーンパターン3dの修正や変更は、位相調整膜19に対してエッチング処理をする前に行うことが好ましい。

【0154】本実施の形態7においても、前記実施の形態1～6と同様の効果が得られる。

【0155】(実施の形態8) 本実施の形態8は、前記実施の形態5～7におけるマスクおよびその製造方法の変形例を説明するものである。

【0156】本実施の形態8のマスクの製造方法の一例を図34によって説明する。

【0157】まず、図34(a)に示すように、前記実施の形態1～7と同様に、マスク基板1の主面上に、前記遮光パターン2a、2bおよびマークパターン4b等を形成する。続いて、図34(b)に示すように、マスク基板1の主面上に、上記遮光パターン2a、2bおよびマスク基板1の主面を覆うように、露光光に透明なレジスト膜20を塗布し、さらに、その上に前記実施の形態5で使用したような遮光性を有するレジスト膜3を薄膜で形成し半透明とした。ここでは、透明なレジスト膜20として、例えばポジ型を示すPGMA24(ポリグリシジルメタクリレート)等を用いた。また、遮光性のレジスト膜3は、例えばネガ型を示す厚さ50nm程度のノボラック系樹脂によって形成した。その後、レジスト膜3に所望の集積回路パターンを電子線等によって描画した。ここでも、前記帯電防止処理を行った。その後、通常の現像処理を行い、レジスト膜3を現像することにより、図34(c)に示すように、レジスト膜3で形成されたハフトーンパターン3eを形成する。

【0158】次いで、マスク基板1の主面に対して通常の露光処理を施して遮光性を有するハフトーンパターン3eから露出するレジスト膜20部分を露光した後、現像処理を行うことにより、図34(d)に示すように、ハフトーンパターン3eに対して自己整合的にレ

ジスト膜20で構成される位相調整膜を形成する。このようにしてマスクPM8を製造した。

【0159】このマスクPM8においては、ハーフトーンパターン3eの下にのみレジスト膜20（位相調整膜）が設けられている。マスクPM8を透過する露光光の位相調整は、ハーフトーンパターン3eとレジスト膜20（位相調整膜）との膜厚で調節されている。これにより、ハーフトーンパターン3eおよびレジスト膜20（位相調整膜）の積層パターン領域を透過した光と、マスク基板1のみを透過した光とで位相を180度反転させることができた。また、その積層パターン領域の透過率は5%程度となった。すなわち、前記実施の形態6、7等と同様に、例えば5%の透過率のハーフトーンパターン3eを有するマスクPM8を製造することができた。また、この場合は、ハーフトーンパターン3eの修正や変更は、レジスト膜20をパターン加工した後でも良い。すなわち、そのパターン変更を行う場合には、ハーフトーンパターン3eおよびレジスト膜20の両方を除去し、再度、レジスト膜20の塗布からやり直せば良い。

【0160】本実施の形態8においても、前記実施の形態1～7と同様の効果が得られる。

【0161】（実施の形態9）本実施の形態9は、マスクの変形例を説明するものであって、通常のハーフトーンマスクと、前記実施の形態5～8のようなレジスト膜を用いたハーフトーンマスクとの組合せ例を説明するものである。

【0162】図35は、本実施の形態9のマスクPM9の具体例を示している。マスクPM9は、ハーフトーンパターンで配線等のようなラインパターンをウエハに転写するマスクを例示している。ここでは、マスク基板1の主面上の集積回路パターン領域に、例えばMoSiO<sub>x</sub>またはMoSiON等からなる通常のハーフトーンパターン21aと、前記実施の形態5～8で説明したレジスト膜からなるハーフトーンパターン3cとがパターン形成されている。ハーフトーンパターン3cの膜厚は、位相反転に必要な膜厚と、前記実施の形態5～8と同様に所望の遮光性を満足する膜厚とした。したがって、透過光の位相差は、180度に限らず、540度、900度等種々選定可能である。

【0163】図35（b）は、マスクPM9の裏面側から照射した露光光の位相反転の様子を示している。ハーフトーンパターン3c、21aを通過した露光光は、透明部（光透過領域）を通過した露光光に対して位相が180度反転している。すなわち、それら露光光の位相が逆になっている。

【0164】次に、マスクPM9の製造方法の一例を図36により説明する。

【0165】まず、図36（a）に示すように、マスク基板1の主面上に、例えばMoSiO<sub>x</sub>またはMoSi

ON等からなるハーフトーン膜21を、例えばスパッタリング法またはCVD法によって堆積した後、その上に、前記遮光膜用のメタルからなる遮光膜2をスパッタリング法等によって堆積する。続いて、その遮光膜2およびハーフトーン膜21を通常のフォトリソグラフィ技術およびエッチング技術によってパターン加工することにより、図36（b）に示すように、ハーフトーンパターン21a、遮光パターン2bおよびマークパターン4bを形成する。その後、図36（c）に示すように、ハーフトーンパターン21aの形成領域以外の遮光パターン2bを覆うようにレジスト膜22を形成した後、これをエッチングマスクとして、そこから露出する遮光膜2を除去することにより、図36（d）に示すように、ハーフトーンパターン21aを露出させる。その後、図36（e）に示すように、遮光マスク用のレジスト膜3を塗布した後、所定の位置に電子線等を照射することにより、図35に示したレジスト膜3で構成されるハーフトーンパターン3cを形成する。ハーフトーンパターン3cの修正や変更方法は、前記実施の形態1等と同じである。

【0166】本実施の形態9においても、前記実施の形態1～7と同様の効果が得られる。

【0167】（実施の形態10）本実施の形態10は、マスクの変形例を説明するものであって、レベンソン型の位相シフトマスクと、前記実施の形態1～4のレジスト膜を用いた遮光パターンマスクとの組合せ例を説明するものである。

【0168】図37は、本実施の形態10のマスクPM10の具体例を示している。ここでは、配線等のようなラインパターンをウエハ上に転写するマスクPM10が例示されている。マスクPM10の主面上の集積回路パターン領域には、レベンソン型位相シフトパターン領域（図37（a）の左側）と、前記実施の形態1～4等で説明したレジスト膜の遮光パターン3aの形成領域（図37（a）の右側）とが配置されている。

【0169】レベンソン型位相シフトパターン領域には、複数のメタルの遮光パターン2aと、その遮光パターン2aを挟んで隣接する光透過パターン16fと、その隣接する光透過パターン16fの一方に配置された位相シフト22aとが配置されている。位相シフト22aは、例えば溝型シフトとされている。溝型シフトとして、溝の幅方向の一部を遮光パターン2aの下部にオーバーハングさせる構造を採用することもできる。これにより、パターン転写精度を向上させることができる。図37（b）は、マスクPM10の裏面側から照射した露光光の位相反転の様子を示している。位相シフト22aを通過した露光光は、位相シフト22aの無い光透過パターン16fを通過した露光光に対して位相が180度反転している。すなわち、それら露光光の位相が逆になっている。一方、遮光パターン3aは、前記実施の形態

1等で説明したのと同じである。したがって、遮光パターン3aの修正や変更を容易に行える。

【0170】このようなマスクPM10は、DRAM等のようなメモリを有する半導体集積回路装置に適用することが好ましい。DRAM等のメモリを有する半導体集積回路装置においては、メモリセル領域における素子や配線の微細化が進められている。このため、ワード線やデータ線あるいはホールパターンの形成に際しては、レベンソン型位相シフトマスクを使用しなければパターンの転写ができない場合がある。一方、メモリセル領域以外の周辺回路領域や他の論理回路領域ではレベンソン型位相シフトマスクを使用しなくても良いが、顧客の要求や製品の仕様によって周辺回路や論理回路のパターンが種々変更される場合がある。マスクPM10は、その両方の要求に対応できる。すなわち、メモリセル領域側では微細な素子や配線のパターンを転写でき、メモリセル領域以外の回路では種々のパターン形状の変更に柔軟に短時間のうちに対向できる。その修正、変更は、位相シフト用の溝を形成した後の段階から可能なので、マスク製造時間の短縮が図れる。それ以外は、本実施の形態10においても、前記実施の形態1～9と同様の効果を得ることができる。

【0171】（実施の形態11）本実施の形態11は、マスクの変形例を説明するものであって、通常のレベンソン型の位相シフトマスクと、前記実施の形態1～4のレジスト膜の遮光パターンで構成したレベンソン型位相シフトマスクとの組合せ例を説明するものである。

【0172】図38は、本実施の形態11のマスクPM11の具体例を示しており、配線等のようなラインパターンをウエハ上に転写するマスクPM11が例示されている。マスクPM11の主面上の集積回路パターン領域には、レベンソン型位相シフトパターン領域（図38の左側）と、前記実施の形態1～4等で説明したレジスト膜の遮光パターン3aで構成したレベンソン型位相シフトパターン領域（図38の右側）とが配置されている。

【0173】図38の左側のレベンソンが位相シフトパターン領域は、前記実施の形態10と同じなので説明を省略する。図38の右側には、例えば感光性SOG膜等のような感光性透明膜で形成される位相シフト22bがパターン形成されている。また、その位相シフト22bの側面および側面近傍を覆うようにレジスト膜の遮光パターン3aがパターン形成されている。この遮光パターン3aによりマスク基板1の主面の一部が露出される光透過パターン16gと位相シフト22bの上面の一部が露出される光透過パターン16hとが形成されている。そして、互いに隣接する光透過パターン16g、16hを透過した各々の光の位相は互いに180度反転している。

【0174】このようなマスクPM11を製造するには、まず、マスク基板1の主面上に、メタルからなる遮

光パターン2a、2bを通常のマスクと同様に形成した後、マスク基板1の主面の所定部分に溝を掘り、位相シフト22aを形成する。続いて、マスク基板1の主面上に、感光性SOG膜等を塗布し、これをフォトリソグラフィ技術によってパターン加工することで、位相シフト22bを形成する。その後、マスク基板1の主面上に、前記遮光膜形成用のレジスト膜を塗布した後、これをフォトリソグラフィ技術によってパターン加工することで遮光パターン3aを形成する。

【0175】本実施の形態11においても、前記実施の形態1～9と同様の効果を得ることができる。

【0176】（実施の形態12）本実施の形態12は、マスクの変形例を説明するものであって、通常のマスクと、前記実施の形態11のレジスト膜の遮光パターンで構成したレベンソン型位相シフトマスクとの組合せ例を説明するものである。

【0177】図39は、本実施の形態11のマスクPM12の具体例を示しており、配線等のようなラインパターンをウエハ上に転写するマスクPM12が例示されている。マスクPM12の主面上の集積回路パターン領域には、通常のマスクのパターン領域（図39の左側）と、前記実施の形態11で説明したレジスト膜の遮光パターン3aで構成したレベンソン型位相シフトパターン領域（図39の右側）とが配置されている。マスクPM12の製造方法は、前記実施の形態11とほぼ同じで、溝型の位相シフト22aの形成工程が無いことが異なる。

【0178】本実施の形態12においても、前記実施の形態1～9と同様の効果を得ることができる。

【0179】（実施の形態13）本実施の形態13は、マスクの変形例を説明するものである。

【0180】前記したように、本実施の形態のマスクにおいては、マスク上のパターンを除去するので、メタルで形成される遮光パターンにある程度の耐性が要求される。そこで、本実施の形態13においては、メタルで形成される遮光パターンの表面に保護膜を形成する。

【0181】図40(a)は、本実施の形態13のマスクPM13断面の具体例を示している。マスク基板1上に形成されたメタルの遮光パターン2a、2bの表面（すなわち、遮光パターン2a、2bの上面および側面）およびマスク基板1の主面には、例えば酸化シリコン等からなる薄い保護膜23が被着されている。これにより、マスクPM13のレジスト膜（遮光パターン3a）剥離および洗浄処理に際して、遮光パターン2a、2bを保護することができる。このため、遮光パターン2a、2bの耐性を向上させることができる。特に、微細な集積回路パターンを転写するための遮光パターン2aが形成されている場合、保護膜23が遮光パターン2aの表面全体を覆う本構造は、遮光パターン2aの耐剥離性を向上させる上で好ましい。保護膜23は、遮光パ

ターン2 a, 2 bのパターン加工後に、例えばCVD法またはスパッタリング等によって形成されている。レジスト膜の遮光パターン3 aは、その保護膜2 3上にパターン形成されている。図4 0 (b)は、遮光パターン3 aを除去した状態を示している。新たな遮光パターンを形成するには、前記実施の形態1と同様に遮光パターン形成用のレジスト膜を塗布し、これに電子線等を用いてパターンを描画すれば良い。なお、この構造は、前記実施の形態1～1 2のいずれのマスクについても適用できる。

【0182】本実施の形態1 3においては、前記実施の形態1～1 2で得られる効果の他に、マスクPM1 3の寿命を向上させることができる、という効果を得ることが可能となる。

【0183】(実施の形態1 4) 本実施の形態1 4は、前記実施の形態1 3の変形例を説明するものである。

【0184】図4 1 (a)は、本実施の形態1 4のマスクPM1 4断面の具体例を示している。本実施の形態1 4においては、保護膜2 3が、遮光パターン2 a, 2 bの上面のみに被着されている場合が例示されている。この場合の保護膜2 3は、マスク基板1上に遮光膜をスパッタリング法によって堆積した後、その上に、保護膜2 3をCVD法またはスパッタリング法等によって堆積し、さらに、遮光膜をパターン加工することで遮光パターン2 a, 2 bを形成する際に同時に形成される。それ以外は、前記実施の形態1 3と同じである。図4 1

(b)は、遮光パターン3 aを除去した状態を示している。この場合も遮光パターン2 a, 2 bの耐性を向上させることができ、マスクPM1 4の寿命を向上させることが可能となる。

【0185】(実施の形態1 5) 本実施の形態1 5は、マスクの変形例を説明するものである。

【0186】本発明者の検討によれば、前記集積回路パターンやマークパターンを形成するためのレジスト膜の遮光パターンをマスク基板の主面上に形成した後、その主面上に、その遮光パターンを覆う透明な保護膜を形成することも有効であることが分かった。これにより、上記レジスト膜で形成される遮光パターンの機械的強度を向上させることができる。また、保護膜によって酸素を遮断することにより、レジスト膜で形成される遮光パターンの膜質の変化を防止することができる。

【0187】図4 2は、その具体例を示している。マスクPM1 5を構成するマスク基板1の主面上全面には、例えば酸化シリコン膜または塗布ケイ素化合物からなる保護膜2 4が形成されている。保護膜2 4を酸化シリコン膜等とする場合は、例えばスパッタリング法やCVD法によって形成すれば良い。また、保護膜2 4を塗布ケイ素化合物とする場合は、その塗布後に、例えば100～200°程度の熱処理を施すと良い。

【0188】また、本実施の形態1 5のマスクPM1 5

においては、保護膜2 4が、遮光パターン2 a, 2 b, 3 aを覆うように、マスク基板1の主面上全面に堆積されている。すなわち、マスクPM1 5を検査装置や露光装置等に装着する場合、マスクPM1 5の保護膜2 4が検査装置や露光装置等の装着部に接する構造となる。したがって、前記実施の形態1～1 4と同様に、検査装置や露光装置等の装着部5がマスク基板1上のレジスト膜のパターン(遮光パターン3 a等)に直接接することがないので、その装着に起因するレジスト膜の剥離や削れを防止でき、それに起因する異物の発生を防止できる。なお、この構造は、前記実施の形態1～1 4のフォトマスクにも適用できる。

【0189】(実施の形態1 6) 本実施の形態1 6においては、マスク上に金属の遮光パターンとレジスト膜の遮光パターンとを形成した場合に生じる問題およびそれを解決する手段について説明する。

【0190】図4 3 (a)は、ウエハ上において互いに隣接する複数のラインパターンを転写するマスクの要部平面図であって、そのラインパターンを転写する金属の遮光パターン2 aとレジスト膜の遮光パターン3 aとの接続部を示している。また、図4 3 (b)は(a)のA-A線の断面図を示している。

【0191】ここでは、遮光パターン2 a, 3 aが位置ずれ無く重なっている場合が例示されている。しかし、遮光パターン2 a, 3 aは、それぞれ別々にパターン加工するものであるから、必ずしもこのように位置合わせ良く配置できるわけではなく、図4 4 (a)に示すように、パターンの幅方向にずれてしまう場合もある。このようにパターンがずれてしまうと、隣接パターン間隔d1を確保することができないという問題が生じる。また、図4 4 (b)に示すように、孤立した遮光パターン2 a, 3 aの重なり部分であっても、各々のパターンがその幅方向に大幅にずれてしまい充分な接続状態を確保できない場合もある。

【0192】そこで、図4 5に示すように、本実施の形態1 6のマスクPM1 6においては、本来、金属の遮光パターン2 aと、レジスト膜の遮光パターン3 aとを接続すべき箇所であっても所定の条件に該当する場合、金属の遮光パターン2 aと、レジスト膜の遮光パターン3 aとを離して配置するようにした。

【0193】図4 6 (a)は、本実施の形態1 6のマスクPM1 6において、金属の遮光パターン2 aと、レジスト膜の遮光パターン3 aとの位置関係がパターン幅方向にずれて配置されてしまった場合を示している。図4 6 (b)は、そのマスクPM1 6を用いてウエハ8上の導体膜パターン10 a1を形成した場合の平面図を示している。また、図4 6 (c)は(b)のA-A線の断面図を示している。ところで、本来、導体膜パターン10 a1, 10 a1は接続されなければならないので、図4 7 (a)～(c)に示すように、導体膜パターン10



a 1, 10 a 1 をその上層の導体膜パターン 10 f で接続するようにした。図 47 (a) は導体膜パターン 10 a 1, 10 a 1 の相対的位置関係が良好な場合を示し、(b) はずれてしまった場合を示し、(c) は (a), (b) の A-A 線の断面図を示している。導体膜パターン 10 a 1, 10 a 1 の各々は、絶縁膜 9 b に形成されたスルーホール 25 を通じて導体膜パターン 10 f に電氣的に接続され互いに電氣的に接続されている。

【0194】(実施の形態 17) 本実施の形態 17 は、前記実施の形態 16 で説明した課題を解決するための別の手段を説明するものである。

【0195】本実施の形態 17 においては、メタルの遮光パターンおよびレジスト膜の遮光パターンの両方または一方において、その各々の接続部を他のパターン部分よりも幅広とした。図 48 は、その具体例を示している。図 48 (a) はマスク PM17 の要部平面図、

(b) は (a) の A-A 線の断面図を示している。ここでは、メタルの遮光パターン 2 a の端部が、他の部分よりも幅広となっている。レジスト膜の遮光パターン 3 a の端部は、メタルの遮光パターン 2 a の幅広部分と重なるようになっている。これにより、メタルの遮光パターン 2 a と、レジスト膜の遮光パターン 3 a との相対的位置が多少ずれたとしても各々のパターンの重なり量を十分に確保することができる。マスク PM17 によって転写されるパターンを図 49 に示す。メタルの遮光パターン 2 a で転写された導体膜パターン 10 a 1 と、レジスト膜の遮光パターン 3 a で転写された導体膜パターン 10 a 1 との接続部分には幅広部分が形成されるが、双方は設計通り接続されている。なお、図 49 (a) はウエハの要部平面図、(b) は (a) の A-A 線の断面図である。

【0196】また、他の方法として、遮光パターン 2 a, 3 a の重なり量を、パターンの位置合わせ精度以上としても良い。

【0197】(実施の形態 18) 本実施の形態 18 は、前記実施の形態 17 の変形例を説明するものである。

【0198】本実施の形態 18 においては、図 50 に示すように、マスク PM18 のメタルの遮光パターン 2 a およびレジスト膜の遮光パターン 3 a の両方において、各々の接続部分を幅広とした。図 50 (a) は遮光パターン 2 a, 3 a が位置合わせ良く配置された場合を示し、(b) は遮光パターン 2 a, 3 a がその幅方向にずれて配置された場合を示している。この場合もメタルの遮光パターン 2 a と、レジスト膜の遮光パターン 3 a との相対的位置が多少ずれたとしても各々のパターンの重なり量を十分に確保することができる。また、この場合は、遮光パターン 2 a, 3 a の端部の太らせ量を小さくできるので、隣接ピッチの狭い転写パターンの転写にも使用できる。

【0199】(実施の形態 19) 本実施の形態 19 にお

いては、例えばゲートアレイやスタンダードセル等のような ASIC (Application Specific IC) の製造に本発明の技術思想を適用した場合について説明する。

【0200】図 51 は、本実施の形態 19 の半導体チップ 8 c 4 の構成例を示している。半導体チップ 8 c 4 の主面には、メモリ部、I/F 制御部、CPU 部、アプリケーションロジック回路およびアナログ部が配置されている。半導体チップ 8 c 4 において、これらの回路群の外周には、複数の入出力回路領域 26 が半導体チップ 8 c 4 の外周に沿って並んで配置されている。各入出力回路領域 26 には、入力回路、出力回路または入出力双方法回路等が配置されている。さらに、その外周には、各入出力回路領域 25 毎にボンディングパッド B P が配置されている。

【0201】このうち、I/F 制御部およびアプリケーションロジック回路は、顧客の要求等により修正や変更が生じ易い。そこで、その部分をゲートアレイ化し、かつ、前記実施の形態 1~18 で説明したようにその部分を転写するマスク上の遮光パターンをレジスト膜で形成するようにした。また、それ以外の回路領域のパターンを転写するマスク上の遮光パターンをメタルで形成した。

【0202】図 52 (a) は、上記 I/F 制御部およびアプリケーションロジック回路に配置された基本セル B C の平面図、(b) は (a) の断面図を示している。I/F 制御部およびアプリケーションロジック回路の形成領域には、例えば複数の基本セル B C が全面に敷き詰められて配置されている (いわゆる SOG 構造: Sea Of Gate)。基本セル U C は、例えば 2 個の n M I S Q n および 2 個の p M I S Q p で構成されている。ゲート電極 10 b は、n M I S Q n および p M I S Q p に共有されており、双方の領域に跨って配置されている。電源配線 10 VDD は、高電位 (例えば 3.3 V または 1.8 V 程度) 側の電源配線であり、電源配線 10 VSS は、低電位 (例えば 0 V 程度) 側の電源配線である。電源配線 10 VDD, 10 VSS は、ゲート電極 10 b に交差し、かつ、n ウエル N W L および p ウエル P W L の延在方向に沿うように配置されている。なお、n M I S Q n および p M I S Q p の縦構造については、前記実施の形態 1 で説明したので、説明を省略する。

【0203】このような基本セル B C の段階までは形成されている。また、基本セル B C の段階までのパターンの形状は定まっているので、この基本セル B C のパターンは、通常のマスクでパターン形成する。所望の回路は、この上層の配線層、コンタクトホールおよびスルーホールの配置によって構成する。図 52 (c) は、第 1 層配線 10 e、第 2 層配線 10 g および第 3 層配線 10 h を形成した後の断面図を示している。第 2 層配線 10 g は、層間絶縁膜 9 f に穿孔されたスルーホール 27 a を通じて第 1 層配線 10 e と電氣的に接続されている。

また、第3層配線10hは、層間絶縁膜9gに穿孔されたスルーホール27bを通じて第2層配線10gと電気的に接続されている。このような第1～第3層配線10e、10g、10hのパターン形状、コンタクトホール15およびスルーホール27a、27bの配置は、顧客の要求により種々変更される場合があるので、それらのパターン形成に際しては、レジスト膜で形成された遮光パターンを有するマスクを用いる。

【0204】次に、マスク上のパターンの変更の一例を説明する。

【0205】図53は、上記基本セルBCを用いて形成されたNAND回路NDを例示している。図53(a)はNAND回路NDのシンボル図、(b)はその回路図、(c)はそのレイアウト平面図を示している。ここでは、2つの入力I1、I2および1つの出力Fを有するNAND回路NDが例示されている。

【0206】図53(c)に示すように、入力I1、I2に接続された配線10i、10jは、それぞれコンタクトホール15a、15aを通じてゲート電極10b、10bと電気的に接続されている。電源配線10VDDは、コンタクトホール15b、15cを通じて両方のpMISQpの半導体領域14と電気的に接続されている。配線10jは、コンタクトホール15dを通じて両方のpMISQpに共有の半導体領域14と電気的に接続されている。また、配線10jは、コンタクトホール15eを通じて一方のnMISQnの半導体領域13と電気的に接続されている。さらに、電源配線10VSSは、コンタクトホール15fを通じて一方のnMISQnの半導体領域13と電気的に接続されている。なお、図53ではコンタクトホール15a～15fの平面形状が四角形状で示されているが、実際には一般的に略円形状になる。

【0207】このNAND回路NDのコンタクトホールおよび配線のパターンを転写するためのマスクにおけるパターンの要部平面図の一例を図54(a)、(b)に示す。なお、図54(a)、(b)のマスクは別々のものなので、双方の位置関係が分かるようにX-Y軸を表示した。

【0208】図54(a)は、図53(c)のコンタクトホール15a～15fをウエハ上に転写するためのマスクPM19Cのパターンを例示している。遮光膜3fは、前記実施の形態1等で説明した遮光パターン3aと同一のレジスト材料で形成されている。遮光膜3fには、部分的に遮光膜3fが除去されて平面四角形状の微細な光透過パターン16gが複数箇所に開口されている。光透過パターン16gがコンタクトホール15a～15fを形成するパターンである。マスク上のパターンをウエハ上に転写する際、ウエハ上ではポジ型のレジスト膜を使用する。

【0209】図54(b)は、図53(c)の配線10

i、10jおよび電源配線10VDD、10VSSをウエハ上に転写するためのマスクPM19Lのパターンを例示している。遮光膜3gは、前記実施の形態1等で説明した遮光パターン3aと同一のレジスト材料で形成されている。遮光膜3gには、部分的に遮光膜3gが除去されて光透過パターン16hが複数箇所に開口されている。光透過パターン16hが配線10i、10jおよび電源配線10VDD、10VSSを形成するパターンである。マスク上のパターンをウエハ上に転写する際、ウエハ上ではネガ型のレジスト膜を使用する。

【0210】図55は、上記基本セルBCを用いて形成された2入力のNOR回路NRを例示している。図55(a)はNOR回路NRのシンボル図、(b)はその回路図、(c)はそのレイアウト平面図を示している。ここでは、図53(c)のNAND回路構成と異なる部分を説明する。

【0211】図55(c)に示すように、電源配線10VDDは、コンタクトホール15bを通じて一方のpMISQpの半導体領域14と電気的に接続されている。配線10kは、コンタクトホール15gを通じて一方のpMISQpの半導体領域14と電気的に接続されている。また、配線10kは、コンタクトホール15hを通じて両方のnMISQnの共有の半導体領域13と電気的に接続されている。さらに、電源配線10VSSは、コンタクトホール15f、15iを通じて両方のnMISQnの半導体領域13と電気的に接続されている。なお、図55でもコンタクトホール15a、15b、15f、15g～15iの平面形状が四角形状で示されているが、実際には一般的に略円形状になる。

【0212】このNOR回路NRのコンタクトホールおよび配線のパターンを転写するためのマスクにおけるパターンの要部平面図の一例を図56(a)、(b)に示す。なお、図56(a)、(b)のマスクは別々のものなので、双方の位置関係が分かるようにX-Y軸を表示した。

【0213】図56(a)は、図55(c)のコンタクトホール15a、15b、15f、15g～15iをウエハ上に転写するためのマスクPM19Cのパターンを例示している。遮光膜3hは、前記実施の形態1等で説明した遮光パターン3aと同一のレジスト材料で形成されている。遮光膜3hには、遮光膜3hが部分的に除去されて平面四角形状の微細な光透過パターン16iが複数箇所に開口されている。光透過パターン16iがコンタクトホール15a、15b、15f、15g～15iを形成するパターンである。マスク上のパターンをウエハ上に転写する際、ウエハ上ではポジ型のレジスト膜を使用する。

【0214】図56(b)は、図55(c)の配線10i、10kおよび電源配線10VDD、10VSSをウエハ上に転写するためのマスクPM19Lのパターンを例示



している。遮光膜3 iは、前記実施の形態1等で説明した遮光パターン3 aと同一のレジスト材料で形成されている。遮光膜3 iには、遮光膜3 iが部分的に除去されて光透過パターン16 jが複数箇所に開口されている。光透過パターン16 jが配線10 i、10 kおよび電源配線10 VDD、10 VSSを形成するパターンである。マスク上のパターンをウエハ上に転写する際、ウエハ上ではネガ型のレジスト膜を使用する。

【0215】このような図54および図56のマスクPM19C、PM19Lのパターン変更は、前記実施の形態1等で説明したの同様に行えば良い。例えば図54のマスクPM19CのNAND回路用のパターンを、図56のマスクPM19CのNOR回路用のパターンに変更するには、図54のマスクPM19C上の遮光膜3 fを除去した後、マスク基板上に新たに前記遮光膜形成用のレジスト膜を塗布し、そのレジスト膜にNOR回路用のパターンを電子線または紫外線等により描画することにより、図56のマスクPM19Cの遮光膜3 hおよび光透過パターン16 iを形成すれば良い。すなわち、NAND回路からNOR回路に、逆にNOR回路からNAND回路にパターンを容易に、短時間のうちに変更することができる。したがって、そのマスクを用いる半導体集積回路装置の開発および製造時間を大幅に短縮できる。また、材料費および工程費を下げられるので、半導体集積回路装置のコストを大幅に低減することが可能となる。このため、少量生産の半導体集積回路装置であってもコスト低減を実現することが可能となる。

【0216】このように本実施の形態19においても前記実施の形態1等と同様の効果が得られる。

【0217】（実施の形態20）本実施の形態20においては、例えばマスクROMの製造に本発明の技術思想を適用した場合について説明する。

【0218】マスクROMでは、メモリセルが1つのMISで形成されることから大容量のメモリを実現できる。また、書き込み動作が不要なため全体の回路構成をシンプルにすることができる。しかし、顧客の要求に応じてメモリの内容が変わるので、TATが他のROM（例えばEEPROM（Electric Erasable Programmable Read Only Memory））に比べて長くなる。また、顧客の多種多様なROMコード毎に異なったマスクを作成しなければならないので、少量生産のときには製品コストが高くなるという問題がある。そこで、本実施の形態20においては、上記ベースデータを基礎として、メモリセル領域部分の変更を伴う各種パターンを、上記レジスト膜を遮光パターンとするマスクを用いて転写することにより、メモリ内容を変更するようにした。なお、マスクにおいて、メモリセル領域以外の領域のパターンを転写するパターンは、メタルからなる遮光パターンで形成した。もちろん、その集積回路パターンの全てをレジスト膜からなる遮光パターンで形成しても良い。

【0219】図57は、マスクROMのベースデータを示しており、（a）はメモリセル領域のレイアウト平面図、（b）はその回路図、（c）は（a）のA-A線の断面図を示している。ここでは、イオン注入プログラム方式のマスクROMが例示されている。データ線10 mは、コンタクトホール15 jを通じて半導体領域13と電気的に接続されている。ゲート電極10 bは、ワード線WLの一部で形成されている。データ線10 mとワード線WLとの交点近傍の1つのnMOSQnによって1つのメモリセルが形成されている。このイオン注入プログラム方式のROMでは、メモリセルを構成するnMISQnのチャネル領域に不純物を導入するか否かで、nMISQnのしきい値電圧を高いタイプ（ワード線WLがハイレベルでも導通しない程度に高い）と、しきい値電圧の低いタイプ（ワード線WLがハイレベルで導通）とに作り分け、それを情報の“0”，“1”に対応させる方式である。このベースデータのパターンの転写は、前記メタルを遮光パターンとするマスクを使用した。もちろん、そのベースデータのパターンをレジスト膜からなる遮光パターンで形成しても良い。

【0220】次に、マスクROMでの情報書き換え方法の一例を図58～図60により説明する。なお、図58～59の各図において、（a）はマスクの要部平面図、（b）はメモリの情報書き込み用のパターンを示すマスクROMのメモリセル領域のレイアウト平面図、（c）は情報書き込み工程時の図57（a）のA-A線に相当する部分の断面図を示している。

【0221】まず、図58では、（a）に示すマスクPM20を用いて、データベース上に（b）に示す開口パターン28 aを形成し、（c）に示すように、開口パターン28 aから露出する半導体基板8 sに不純物をイオン注入することにより、メモリ情報を書き込む場合を例示している。マスクPM20の遮光膜3 jは、前記実施の形態1の遮光パターン3 aと同じレジスト材料からなる。遮光膜3 jの一部は除去されて平面四角形状の光透過パターン16 kが開口されている。この光透過パターン16 kは、ウエハ8上のレジスト膜11 bに開口パターン28 aを形成するパターンとなっている。レジスト膜11 bは、ポジ型のレジストを用いている。なお、情報書き込みのための不純物注入工程は、ゲート電極10 b（すなわち、ワード線WL）の形成工程前に行う。その不純物としては、nMISQnのしきい値を高くしたい場合は、例えばホウ素を導入すれば良いし、nMISQnのしきい値を低くしたい場合は、例えばリンまたはヒ素を導入すれば良い。

【0222】次に、図59では、（a）に示すマスクPM20を用いて、データベース上に（b）に示す開口パターン28 b、28 cを形成し、（c）に示すように、開口パターン28 b、28 cから露出する半導体基板8 sに不純物をイオン注入することにより、メモリ情報を

書き込む場合を例示している。マスクPM20の遮光膜3kは、前記実施の形態1の遮光パターン3aと同じレジスト材料からなる。遮光膜3kの一部は除去されて平面四角形状の2個の光透過パターン16m、16nが開口されている。この光透過パターン16m、16nは、ウエハ8上のレジスト膜11bに開口パターン28b、28cを形成するパターンとなっている。

【0223】次に、図60では、(a)に示すマスクPM20を用いて、データベース上に(b)に示す開口パターン28dを形成し、(c)に示すように、開口パターン28dから露出する半導体基板8sに不純物をイオン注入することにより、メモリ情報を書き込む場合を例示している。マスクPM20の遮光膜3mは、前記実施の形態1の遮光パターン3aと同じレジスト材料からなる。遮光膜3mの一部は除去されて光透過パターン16p開口されている。この光透過パターン16pは、ウエハ8上のレジスト膜11bに開口パターン28dを形成するパターンとなっている。

【0224】このような図58～図60のマスクPM20のパターン変更は、前記実施の形態1等で説明したのと同様に行えば良い。例えば図58のマスクPM20のパターンを、図59のマスクPM20のパターンに変更するには、図58のマスクPM20上の遮光膜3jを除去した後、マスク基板上に新たに前記遮光膜形成用のレジスト膜を塗布し、そのレジスト膜の所定位置に電子線または紫外線等を照射することにより、図59のマスクPM20の遮光膜3kおよび光透過パターン16m、16nを形成すれば良い。これにより、多品種のマスクROMを効率的に製造することができる。また、多品種のマスクROMのTATを大幅に短縮できる。また、材料費および工程費を下げられるので、少量生産であってもマスクROMのコストを大幅に下げることが可能となる。

【0225】このように本実施の形態20においても前記実施の形態1等と同様の効果が得られる。

【0226】(実施の形態21) 本実施の形態21は、前記実施の形態20の変形例であって、前記実施の形態20のマスクROMとは異なる情報書き換え方を説明するものである。

【0227】図61は、本実施の形態21のマスクROMのベースデータを示しており、(a)はメモリセル領域のレイアウト平面図、(b)はその回路図、(c)は(a)のA-A線の断面図を示している。ここでは、コンタクトホールプログラム方式のマスクROMが例示されている。このコンタクトホールプログラム方式のROMでは、半導体領域13とデータ線10mとを接続するコンタクトホール(図61(b)の破線)のレイアウトの仕方で行う方式である。本実施の形態21においても、ベースデータのパターンの転写は、前記メタルを遮光パターンとするマスクを使用した。

【0228】次に、マスクROMでの情報書き換え方法

の一例を図62～図65により説明する。なお、図62、図64および図65の各図において、(a)はマスクの要部平面図、(b)はメモリの情報書き込み用のパターンを示すマスクROMのメモリセル領域のレイアウト平面図、(c)はその回路図、(d)は(b)のA-A線の断面図を示している。

【0229】まず、図62では、(a)に示すマスクPM21を用いて、データベース上に(b)に示すコンタクトホール15kを形成し、(c)、(d)に示すように、所定のnMISQnの半導体領域13とデータ線10mとを接続することにより、メモリ情報を書き込む場合を例示している。

【0230】マスクPM21の遮光膜3pは、前記実施の形態1の遮光パターン3aと同じレジスト材料からなる。遮光膜3pの一部は除去されて平面四角形状の光透過パターン16mが開口されている。この光透過パターン16mは、ウエハ8上のレジスト膜にコンタクトホール15k形成用の開口パターンを形成するパターンとなっている。このコンタクトホール15kの形成方法は、前記実施の形態1等で説明したのと同じである。簡単に説明すると次の通りである。まず、図63(a)に示すように、絶縁膜9d上に、ポジ型のレジスト膜11bを塗布した後、そのレジスト膜11bに上記図62のマスクPM21を用いてパターンを転写し、現像処理等を実施することで開口パターン28eを形成する。続いて、そのレジスト膜11bをエッチングマスクとして、エッチング処理を実施することにより、図63(b)に示すように、絶縁膜9dに、半導体基板8sの一部が露出するようなコンタクトホール15kを形成する。

【0231】次に、図64では、(a)に示すマスクPM21を用いて、データベース上に(b)に示す2個のコンタクトホール15m、15nを形成し、(c)、

(d)に示すように、所定のnMISQnの半導体領域13とデータ線10mとを接続することにより、メモリ情報を書き込む場合を例示している。マスクPM21の遮光膜3qは、前記実施の形態1の遮光パターン3aと同じレジスト材料からなる。遮光膜3qの一部は除去されて平面四角形状の光透過パターン16qが開口されている。この光透過パターン16qは、ウエハ8上のレジスト膜にコンタクトホール15m、15nおよびワード線コンタクトホール形成用の開口パターンを形成するパターンとなっている。このコンタクトホール15m、15nおよびワード線コンタクトホールの形成方法は、前記図63(a)、(b)で説明したのと同じなので説明を省略する。

【0232】次に、図65では、(a)に示すマスクPM21を用いて、データベース上に(b)に示す3個のコンタクトホール15k、15m、15nを形成し、

(c)、(d)に示すように、所定のnMISQnの半導体領域13とデータ線10mとを接続することによ

り、メモリ情報を書き込む場合を例示している。マスク PM21 の遮光膜 3r は、前記実施の形態 1 の遮光パターン 3a と同じレジスト材料からなる。遮光膜 3r の一部は除去されて平面四角形状の光透過パターン 16r が開口されている。この光透過パターン 16r は、ウエハ 8 上のレジスト膜にコンタクトホール 15k, 15m, 15n およびワード線コンタクトホール形成用の開口パターンを形成するパターンとなっている。このコンタクトホール 15k, 15m, 15n およびワード線コンタクトホールの形成方法は、前記図 63 (a), (b) で説明したのと同じなので説明を省略する。

【0233】このような図 62、図 64 および図 65 のマスク PM21 のパターン変更は、前記実施の形態 1 等で説明したの同様に行えば良い。例えば図 62 のマスク PM21 のパターンを、図 64 のマスク PM21 のパターンに変更するには、図 62 のマスク PM21 上の遮光膜 3p を除去した後、マスク基板上に新たに前記遮光膜形成用のレジスト膜を塗布し、そのレジスト膜の所定位置に電子線または紫外線等を照射することにより、図 64 のマスク PM21 の遮光膜 3q および光透過パターン 16q を形成すれば良い。これにより、前記実施の形態 20 と同様に、多品種のマスク ROM を効率的に製造することができる。また、多品種のマスク ROM の TAT を大幅に短縮できる。また、材料費および工程費を下げられるので、少量生産であってもマスク ROM のコストを大幅に下げることが可能となる。

【0234】このように本実施の形態 21 においても前記実施の形態 1 等と同様の効果が得られる。

【0235】（実施の形態 22）本実施の形態 22 は、前記実施の形態 20 の変形例であって、前記実施の形態 20 とは異なる構造のマスク ROM を説明するものである。

【0236】図 66 は、本実施の形態 22 の NAND 型のマスク ROM の一部を示している。メモリセルを構成する複数の nMISQn が半導体領域 13 を介して並列に接続されている。プログラム方式は、イオン注入方式が採られている。すなわち、イオン注入された部分の nMISQn（メモリセル）がデプレッション型となり、イオン注入されていない部分の nMISQn（メモリセル）がエンハンスメント型となり、これらがそれぞれ情報の“0”，“1”に対応するようになっている。

【0237】図 66 では、nMISQnd のチャネル領域に不純物が導入されデプレッション型となっている場合が例示されている。メモリの情報書き込み用のパターンを示す開口パターン 28f は、nMISQnd にプログラム（不純物イオン注入）を行う際のイオン注入マスクの開口パターンを示している。なお、半導体領域 13 VSS は、低電位（例えば 0V=GND）側の電源配線としての機能も有している。

【0238】本実施の形態 22 におけるマスク上のパタ

ーンの変更方法やプログラムのためのウエハへの選択的な不純物の導入方法は、前記実施の形態 20 と同じなので説明を省略する。

【0239】本実施の形態 22 においても、前記実施の形態 21 と同様の効果を得ることが可能となる。

【0240】（実施の形態 23）本実施の形態においては、前記したレジスト膜を遮光パターンとするマスクを用いて半導体集積回路装置の特性調整を行う場合について説明する。

【0241】図 67 および図 68 は、ウエハ上に形成される半導体集積回路装置内の回路であって、その特性調整を行う回路を例示している。

【0242】図 67 は、直列に接続された複数の抵抗 R1～Rn による特性調整の回路図を示している。回路（例えば半導体集積回路装置の CPU 等）に接続された端子 Ta と、各抵抗 R1～Rn に接続された端子 Tb1～Tbn との接続状態を接続部 J1 によって変えることで回路全体の抵抗値を変えるようになっている。

【0243】また、図 68 は、直列に接続された複数のコンデンサ C1～Cn による特性調整の回路図を示している。回路に接続された端子 Ta と、各 C1～Cn に接続された端子 Tb1～Tbn との接続状態を接続部 J1 によって変えることで回路全体の容量値を変えるようになっている。

【0244】半導体集積回路装置の開発時等においては、上記のような抵抗や容量の値を種々変えることで、例えば信号のタイミング調整等のような半導体集積回路装置の特性調整を行う場合がある。このようなパターンを転写する際に通常のマスクを用いる場合には、図 67 および図 68 の回路図からも分かるように変更部分（接続部 J1）自体は小さいにもかかわらず、調整の度にマスクを製造し直さなければならない。したがって、マスクの製造に時間がかかるので、半導体集積回路装置の開発期間を長くなる。また、無駄が多く、材料費および工程費が増加するので、半導体集積回路装置のコストも高くなる。

【0245】そこで、本実施の形態においては、マスクにおいて、上記接続部 J1 を転写する部分をレジスト膜を遮光パターンにより形成するようにした。図 69

(a) は、ウエハ上に形成される上記端子 Ta, Tb1～Tbn 部分の平面図を模式的に示している。ここでは、端子 Ta は、端子 Tb1～Tbn のいずれとも接続されていない。図 69 (b) は、(a) の端子 Ta, Tb1～Tbn を転写するためのマスク PM23 上の遮光パターン 2g を示している。遮光パターン 2g は、前記実施の形態 1 等で説明した遮光パターン 2a と同じくメタルで構成されている。これをベースデータとする。ここで、例えば図 70 (a) に示すように、端子 Ta と端子 Tb1 とを接続したい場合には、図 70 (b) に示すように、マスク PM23 のマスク基板 1 の主面（メタル

の遮光パターン 2 g が形成された面) 上において、端子 T a、T b 1 の接続部 J 1 に相当する位置に、レジスト膜の遮光パターン 3 s を形成すれば良い。遮光パターン 3 s のレジスト材料、形成方法および変更方法は前記実施の形態 1 で説明したのと同じである。このため、端子 T a と、端子 T b 1 ~ T b n との接続変更を、容易に、短時間のうちに、しかも低コストで行うことが可能となる。したがって、半導体集積回路装置の開発時間を大幅に短縮できる。また、半導体集積回路装置のコストを低減することが可能となる。

【0246】このような本実施の形態 23 においても、前記実施の形態 1 等と同様の効果を得ることが可能となる。

【0247】(実施の形態 24) 本実施の形態においては、前記したレジスト膜を遮光パターンとするマスクを用いて半導体集積回路装置の論理回路を冗長する技術について説明する。

【0248】図 71 は、ウエハ上に形成される冗長回路を例示している。接続部 J 2 をどのように接続するかによって端子 T c 1 ~ T c 3 間の接続状態を変えて冗長を行うようになっている。なお、INV はインバータ回路である。

【0249】このような冗長回路構成においても、パターンを転写する際に通常のマスクを用いると、変更部分(接続部 J 2)自体は小さいにもかかわらず、冗長のためにマスクを製造し直さなければならない。このため、マスクの製造に時間がかかるので、半導体集積回路装置の開発および製造期間が長くなる。また、無駄が多く、材料費および工程費が増加するので、半導体集積回路装置のコストも高くなる。

【0250】そこで、本実施の形態においては、マスクにおいて、上記接続部 J 2 を転写する部分をレジスト膜を遮光パターンにより形成するようにした。図 72

(a) は、ウエハ上に形成される上記端子 T c 1 ~ T c 3 の部分の平面図を模式的に示している。ここでは、端子 T c 2 は、端子 T c 1、T c 3 のいずれとも接続されていない。図 72 (b) は、(a) の端子 T c 1 ~ T c 3 を転写するためのマスク PM 24 上のメタルの遮光パターン 2 g を示している。これをベースデータとする。ここで、例えば図 73 (a) に示すように、端子 T c 1 と端子 T c 2 とを接続したい場合には、図 73 (b) に示すように、マスク PM 24 のマスク基板 1 の主面(メタルの遮光パターン 2 g が形成された面)上において、端子 T c 1、T c 2 の接続部 J 2 に相当する位置に、レジスト膜の遮光パターン 3 s を形成すれば良い。遮光パターン 3 s のレジスト材料、形成方法および変更方法は前記実施の形態 1 で説明したのと同じである。このため、端子 T c 1 ~ T c 3 の接続変更を、容易に、短時間のうちに、しかも低コストで行うことが可能となる。したがって、半導体集積回路装置の開発および製造時間を

大幅に短縮できる。また、半導体集積回路装置のコストを低減することが可能となる。

【0251】このような本実施の形態 24 においても、前記実施の形態 1 等と同様の効果を得ることが可能となる。

【0252】(実施の形態 25) 本実施の形態においては、前記実施の形態で説明したマスクの製造工程およびそのマスクを用いた半導体集積回路装置の製造工程における一連の流れの一例について説明する。

【0253】通常のマスクの製造工程においては、マスク基板の主面上全面にクロム等の遮光膜や前記した半透明膜(ハーフトーン膜)が形成された基板(マスクブランク)の製造工程と、そのマスクブランクに半導体集積回路形成用のパターンを形成するマスク製造工程に分割できる。時にはその両者は別々の部署で製造される。

【0254】本実施の形態のマスクの製造工程においては、マスクブランクの製造工程、マスク基板の外周部に種々の投影露光装置で共通に用いられるパターンを形成する共通遮光パターンおよび集積回路パターンを形成する共通デバイスパターンの形成工程、レジストパターン形成工程に分割される。それぞれの工程は別の部署、別の会社で製造される場合がある。

【0255】例えば図 74 (a) は、上記共通遮光パターンおよび共通デバイスパターンの形成工程を示している。共通パターンは、製造する半導体集積回路装置毎や、露光処理の際に用いる投影露光装置に応じて種々準備することができる。まず、共通遮光パターン(図 1 のマスク PM 1 等では遮光パターン 2 a、2 b に該当)を形成する(工程 100)。続いて、欠陥の有無を検査する(工程 101)。ここで、欠陥が無い場合には、共通遮光パターンおよび共通デバイスパターン形成段階での完成した共通マスクとしてストックする(工程 102)。一方、欠陥が有る場合は、修正等を行い(工程 103)、修正後にストックする(工程 102)。

【0256】このように本実施の形態のマスク製造においては、マスクの製造工程中においてマスク基板をストックしておくことができるので、半導体集積回路装置の製造および開発時間を大幅に短縮できる。通常のマスクの場合は、マスク基板の途中工程で基板をストックすることができないので、遮光膜等の堆積(マスクブランク製造工程)から所定パターンのパターンニングまでを一貫して行わなければならない。これに対して、本実施の形態においては、共通遮光パターンおよび共通デバイスパターンの製造工程までに製造されたマスクをストックしておくことができる。このため、半導体集積回路装置の開発や製造にあたり、具体的な集積回路パターン(デバイスパターン)の形成に際しては、そのストックされた段階からマスクの製造を開始することができるので、マスクの製造時間を短縮することができる。このため、

集積回路パターンを形成する工程を短時間で終了することができる。したがって、本発明の技術思想は、前記したように、例えば品種展開の頻度が高いロジックデバイス用のマスクの製造に特に好適である。また、図74

(a)の段階のマスクの場合、前記領域REの金属膜は除去してしまうので、その領域にピンホール等の欠陥があっても問題にならない。このため、マスクブランクスの品質管理を緩和でき、マスクブランクスの歩留りを大幅に向上できる。

【0257】次いで、図74(b)は、前記共通マスク上にレジスト膜による遮光パターンを形成する工程を示している。まず、上記共通マスクの集積回路パターン領域に、前記したようにしてデバイス製造用のレジスト膜の遮光パターン(図1のマスクPM1等では遮光パターン3aに該当)を形成する(工程104)。続いて、そのマスク基板に対して欠陥検査や寸法検査等の検査を行う(工程105)。この検査に合格した場合は、マスクの完成となる(工程106)。しかし、検査の結果、規格から外れた不合格のフォトマスクは前記レジスト膜の遮光パターンを除去し(工程107)、再利用される(工程108)。このように本実施の形態においては、共通マスクを再利用できる。すなわち、デバイス製造用の遮光パターンが金属膜で形成された場合、これを除去して再利用することはマスクの品質を確保する観点等から難しい。これに対して、本実施の形態のようにレジスト膜を除去して再利用することは、時間も掛からないし、また、マスクの品質を落とさずに容易に可能である。したがって、資源の有効活用が可能となる。

【0258】次いで、図74(c)は、前記完成したマスクを半導体集積回路装置の製造工程に用い、ウエハ上にパターンを転写する工程を示している。ここでは、完成したマスクを用いてウエハ上に集積回路パターンを転写する(工程109)。そして、マスクが劣化して使用できなくなった場合や半導体集積回路装置の一部に変更が生じた場合等においては、マスクを再度、レジスト除去再生工程(工程108)に送り、共通マスクとして再利用する。

【0259】このように本実施の形態によれば、マスクの製造から半導体集積回路装置の製造工程にわたってマスクの再利用が可能となる。したがって、半導体集積回路装置の開発や製造期間の短縮が可能となる。また、無駄な材料や工程を低減することができるので、半導体集積回路装置のコストを大幅に低減することが可能となる。

【0260】(実施の形態26)本実施の形態においては、前記マスクを用いた半導体集積回路装置の製造工程における応用例について説明する。

【0261】ここでは、ロット毎にトリミングを行う場合について説明する。すなわち、大量生産の中で多数ロットの半導体集積回路装置の特性の平均的な特性変動情

報を、続くロットの半導体集積回路装置の配線層形成工程にフィードバックし配線を修正することで、半導体集積回路装置の特性調整を行う。この配線修正を、レジスト膜の遮光パターンを有するマスクによって行う。

【0262】図75は、その流れを例示している。素子形成工程301では、ウエハ上に所定の集積回路素子を形成する。続く配線層形成工程(工程302)では、ウエハ上に配線を形成することで集積回路を形成する。ここで、半導体集積回路装置の全ての配線層を形成し、半導体集積回路装置の製造が完了した後、ウエハ上の各半導体集積回路装置の電気的特性を試験する(工程303)。その際、得られた半導体集積回路装置の特性の平均的な特性変動情報を、試験を行ったロットに続く半導体集積回路装置の配線層形成工程にフィードバックする。その情報に基づいて、マスク上の配線形成用のパターンの寸法や形状等を変更する(工程304)。そのマスクとして前記実施の形態で説明したレジスト膜を遮光パターンとするマスクを用いる。そして、そのマスクを用いて、続くロットの半導体集積回路装置の配線層を形成する。これにより、ロット毎の半導体集積回路装置のトリミングを行う。

【0263】このようにすることで、電気的特性の揃った信頼性の高い半導体集積回路装置を短期間のうちに提供することが可能となる。また、トリミングのためのマスクのパターン変更に際して、無駄な材料や無駄な工程を省けるので、信頼性の高い半導体集積回路装置を低コストで提供できる。

【0264】(実施の形態27)本実施の形態は、前記実施の形態26の変形例を説明するものである。ここでは、配線層形成工程の途中の工程で半導体集積回路装置の特性試験を行い、そこで得られた情報を、その後の配線層形成工程にフィードフォワードすることで、半導体集積回路装置の特性調整を行うものである。

【0265】図76は、その流れを例示している。まず、素子形成工程(工程301)後、配線層形成工程(工程302a)を経る。ここでは、最終配線層形成工程に到る前に(その後に配線層を形成する工程がまだある段階で)、ウエハ上の半導体集積回路装置に対して電気的特性試験を行う(工程303)。その際、得られた半導体集積回路装置の特性情報に基づいて、続く最終配線層形成工程(工程302b)で用いるマスク上の配線形成用のパターンの寸法や形状等を変更する(工程304)。最終配線層とは、例えば半導体チップの外部端子として機能するボンディングパッドを形成する層またはその一つ前の配線層を言う。そのマスクとして前記実施の形態で説明したレジスト膜を遮光パターンとするマスクを用いる。そして、そのマスクを用いて、ウエハ上の最終配線層のパターンを形成する。このようにして半導体集積回路装置のトリミングを行うことにより、前記実施の形態26と同様の効果を得ることが可能となる。

【0266】本実施の形態における発明の技術思想は、配線層形成工程中において、半導体集積回路装置の特性を試験し、そこで測定された特性情報を、その後続く配線層形成工程に伝送し、その特性情報に基づいて、前記マスクを用いてトリミングを行うことであり、その情報を上記最終配線層形成工程に伝送する限定されるものではない。例えば上記特性情報を、その後の最終配線層以外の配線層形成工程に伝送しても良いし、複数の配線層形成工程に伝送しても良い。また、例えばウエハの段階で封止工程を行う、いわゆるウエハプロセスパッケージ技術では、ボンディングパッド形成後に再配線を行う構造のものがあるが、その再配線層の形成工程に、上記した特性情報を伝送し、再配線層形成工程で前記マスクを用いてトリミングを行うようにしても良い。

【0267】（実施の形態28）本実施の形態28においては、顧客情報を、マスク上のレジスト膜の遮光パターンでウエハ上に形成する場合について説明する。

【0268】半導体集積回路装置の製造工程においては、例えば顧客名、番号、ロット番号、製造年月日、品種、グレードまたはバージョン等のような情報を、可能な限りウエハまたは半導体チップの一部に書き込んでおくことが好ましい。そのようにすれば、製造された製品の電気的特性、パターン変更状況等が分かり、半導体集積回路装置の特性試験や選別等がし易くなるからである。しかし、通常のマスクでは、マスクの製造に時間やコストがかかるので、あまり詳しい情報まで書き込むことはできない。そこで、本実施の形態においては、顧客情報を、前記レジスト膜の遮光パターンを用いたマスクにより転写するようにした。これにより、短時間で、低コストで、詳細な顧客情報をウエハ上に転写することが可能となる。

【0269】図77は、半導体集積回路装置の製造工程の流れを示している。配線形成工程302に際して、レジスト膜の遮光パターンを用いたマスクにより顧客情報を転写する。ウエハ完成（工程303）に際して、顧客情報を光学的に読み取り、情報を管理する。その後、組立工程304を経て最終試験を行う（工程305）。その際、上記顧客情報を自動的に参照することにより、その半導体集積回路装置に合ったテストプログラムを自動的に認識して回路の動作テストを行う。したがって、より正確な試験を行うことが可能となる。

【0270】図78（a）は、ウエハ8の要部平面図を示している。顧客情報は、半導体チップ8c内（領域30a）または隣接する半導体チップ8c間の切断領域（領域30b）に形成する。図78（b）、（c）は、領域30aまたは領域30bに形成された顧客情報パターンを例示している。また、図78（d）は、（b）のA-A線の断面図を例示している。図78（b）は、複数の導体膜パターン10nを平行に並べて配置することでバーコードを形成したものである。また、図78

（c）は、導体膜パターン10pによって文字や数字等を形成したものである。導体膜パターン10n、10pは、配線パターンと同時に形成される。

【0271】また、図79は、図78（b）の導体膜パターン10nを形成するのに用いたマスクの一例を示している。図79（a）は、前記実施の形態2のマスクPM2の一部に、顧客情報形成用の遮光パターン3tをレジスト膜で形成した場合を例示している。遮光パターン3tは、前記遮光パターン3aと同じ形成工程時に同じ材料で形成されている。また、図79（b）は、前記実施の形態3のマスクPM3の一部に、顧客情報形成用の光透過パターン16sを形成した場合を例示している。光透過パターン16sは、遮光膜3uの一部を除去することで形成されている。遮光膜3uは、前記遮光膜3bと同じ形成工程時に同じ材料で形成されている。また、遮光膜3uの光透過パターン16sは、遮光膜3bに光透過パターン16bを形成する際に同時に形成されている。

【0272】また、レジストの遮光パターンによって簡単な回路のパターンを形成し、半導体チップの所定のボンディングパッド（あるいはパッケージング後のリードピン）から「0」と「1」の2値信号を読み取れるようにしても良い。これにより、組立工程後の半導体集積回路装置の試験工程に際して、上記顧客情報を半導体集積回路装置から電気的に読み取ることができるので、その半導体集積回路装置に合ったテストプログラムを自動的に認識して回路の動作テストを行うことが可能となる。上記回路の構成としては、例えばボンディングパッド（あるいはリード）と、半導体チップ内の電源端子（高電位または低電位（0V））との接続を行うか否かによって、あるいは高低いずれの電源端子と接続するかによって、そのパッド（あるいはリード）に「1」または「0」を割り当てる。その接続パターン部分を、前記実施の形態23、24で説明したように、レジスト膜の遮光パターンで形成する。これにより、マスク上において情報を簡単に書き込み、また、書き換えることができる。もちろん、レジスト膜の遮光パターンで、半導体チップに簡単な回路を構成することにより、リードに上記顧客情報用の2値信号が出力されるようにしても良い。

【0273】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0274】例えば前記実施の形態においては、配線を通常の配線構造とした場合について説明したが、これに限定されるものではなく、例えば絶縁膜に形成された配線または孔用の溝内に導体膜を埋め込むことで配線を形成する、いわゆるダシマン法またはデュアルダシマン法によって形成しても良い。

【0275】また、前記実施の形態においては、半導体



集積回路基板として半導体単体からなる半導体基板を用いた場合について説明したが、これに限定されるものではなく、例えば絶縁層上に薄い半導体層を設けてなるS O I (Silicon On Insulator) 基板、半導体基板上にエピタキシャル層を設けてなるエピタキシャル基板を用いても良い。

【0276】また、前記実施の形態においてマークパターンをレジスト膜で形成する場合に、そのレジスト膜にマーク検出光（例えば欠陥検査装置のプロブ光（露光波長よりも長波長の光であり、例えば波長500nm：情報検出光））を吸収する吸収材を添加しておいても良い。

【0277】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置の製造に適用した場合について説明したが、それに限定されるものではなく、例えば例えば液晶基板や磁気ヘッド等のような他の電子装置（電子回路装置）等の製造方法にも適用できる。

【0278】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

- (1). 本発明によれば、マスク基板の一部に集積回路パターン転写用のレジスト膜からなる遮光パターンを形成することにより、マスクのパターンの変更または修正時間を短縮することが可能となる。
- (2). 本発明によれば、マスク基板の主面の周辺部にメタルからなる遮光部を設け、その遮光部に開口部を設けることで情報検出用パターンを形成することにより、レジスト膜を遮光部として機能させるマスクにおいて、情報検出能力を向上させることが可能となる。
- (3). 本発明によれば、マスク基板の主面の周辺部にメタルからなる遮光部を設けたことにより、レジスト膜を遮光膜として機能させるマスクを用いた露光処理において、異物の発生を抑制または防止することが可能となる。

【図面の簡単な説明】

【図1】(a)は本発明の一実施の形態であるフォトマスクの平面図、(b)は(a)のA-A線の断面図である。

【図2】フォトマスク上に所定のパターンを描画する際のフォトマスクの保持手段を模式的に示す説明図である。

【図3】(a)～(c)は図1のフォトマスクの製造工程における断面図である。

【図4】代表的な電子線レジスト膜の分光透過率を示すグラフ図である。

【図5】(a)～(c)は図1のフォトマスクの製造工程の変形例であって、その製造工程中における断面図である。

【図6】(a)～(c)は図1のフォトマスクの製造工程の変形例であって、その製造工程中における断面図である。

【図7】図1のフォトマスクを用いた半導体集積回路装置の製造工程であって、(a)は半導体ウエハの要部平面図、(b)は(a)のA-A線の断面図である。

【図8】図7に続く工程であって、(a)は半導体ウエハの要部平面図、(b)は(a)のA-A線の断面図である。

【図9】図8に続く工程であって、(a)は半導体ウエハの要部平面図、(b)は(a)のA-A線の断面図である。

【図10】本実施の形態で用いた縮小投影露光装置の一例の説明図である。

【図11】図1のフォトマスクを用いた具体的な半導体集積回路装置の製造工程中の要部断面図である。

【図12】図11に続くフォトマスクを用いた具体的な半導体集積回路装置の製造工程中の要部断面図である。

【図13】図12に続くフォトマスクを用いた具体的な半導体集積回路装置の製造工程中の要部断面図である。

【図14】図13に続くフォトマスクを用いた具体的な半導体集積回路装置の製造工程中の要部断面図である。

【図15】(a)はレジスト膜で形成された遮光パターンの修正変更工程時における図1のフォトマスクの平面図、(b)は(a)のA-A線の断面図である。

【図16】図15に続く工程であって、(a)はレジスト膜で形成された遮光パターンの修正変更工程時における図1のフォトマスクの平面図、(b)は(a)のA-A線の断面図である。

【図17】(a)は図16のフォトマスクにより転写されたパターンを示す半導体ウエハの平面図、(b)は(a)のA-A線の断面図である。

【図18】本実施の形態のフォトマスクを開発または製造時に用いて有効な半導体チップの一例の平面図である。

【図19】本実施の形態のフォトマスクを開発または製造時に用いて有効な半導体チップの他の例の平面図である。

【図20】本実施の形態のフォトマスクを開発または製造時に用いて有効な半導体チップのさらに他の例の平面図である。

【図21】(a)は本発明の他の実施の形態であるフォトマスクの平面図、(b)は(a)のA-A線の断面図である。

【図22】(a)はレジスト膜で形成された遮光パターンの修正変更工程時における図21のフォトマスクの平面図、(b)は(a)のA-A線の断面図である。

【図23】(a)はレジスト膜で形成された遮光パターンの修正変更工程時における図1のフォトマスクの平面図、(b)は(a)のA-A線の断面図である。

【図 24】(a) は本発明の他の実施の形態であるフォトマスクの平面図、(b) は(a)の A-A 線の断面図である。

【図 25】(a) はレジスト膜で形成された遮光パターンの修正変更工程時における図 24 のフォトマスクの平面図、(b) は(a)の A-A 線の断面図である。

【図 26】(a) はレジスト膜で形成された遮光パターンの修正変更工程時における図 1 のフォトマスクの平面図、(b) は(a)の A-A 線の断面図である。

【図 27】(a) は本発明の他の実施の形態である第 1 のフォトマスクの平面図、(b) は(a)の A-A 線の断面図である。

【図 28】(a) は本発明の他の実施の形態である第 2 のフォトマスクの平面図、(b) は(a)の A-A 線の断面図である。

【図 29】(a) はレジスト膜で形成された遮光パターンの修正変更工程時における図 28 のフォトマスクの平面図、(b) は(a)の A-A 線の断面図である。

【図 30】(a) はレジスト膜で形成された遮光パターンの修正変更工程時における図 28 のフォトマスクの平面図、(b) は(a)の A-A 線の断面図である。

【図 31】本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクの各部を透過した露光光の位相反転の様子を示すフォトマスクの断面図である。

【図 32】本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクの製造工程中の断面図である。

【図 33】本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクの製造工程中の断面図である。

【図 34】(a) ~ (d) は本発明の他の実施の形態であるフォトマスクの製造工程中の断面図である。

【図 35】本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクの各部を透過した露光光の位相反転の様子を示すフォトマスクの断面図である。

【図 36】(a) ~ (e) は図 35 のフォトマスクの製造工程中の断面図である。

【図 37】本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクの各部を透過した露光光の位相反転の様子を示すフォトマスクの断面図である。

【図 38】本発明の他の実施の形態であるフォトマスクの断面図である。

【図 39】本発明の他の実施の形態であるフォトマスクの断面図である。

【図 40】(a) は本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクのパターン修正変更時の断面図である。

【図 41】(a) は本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクのパターン修正変更時の断面図である。

【図 42】(a) は本発明の他の実施の形態であるフォトマスクの断面図、(b) は(a)のフォトマスクを露光装置に装着した際の説明図である。

【図 43】(a) は本発明の他の実施の形態であるフォトマスクのメタルによる遮光パターンとレジスト膜による遮光パターンとの接続部の平面図、(b) は(a)の A-A 線の断面図である。

【図 44】(a) および(b) は本発明の他の実施の形態であるフォトマスクにおいてメタルによる遮光パターンとレジスト膜による遮光パターンとの間に位置ずれが生じた場合の説明図である。

【図 45】(a) は本発明の他の実施の形態であるフォトマスクのメタルによる遮光パターンとレジスト膜による遮光パターンとの接続部の平面図、(b) は(a)の A-A 線の断面図である。

【図 46】(a) は図 45 のフォトマスクにおいてメタルによる遮光パターンとレジスト膜による遮光パターンとの位置がずれた場合を示す説明図、(b) は(a)のフォトマスクを用いて半導体ウエハに転写されたパターンの平面図、(c) は(b)の A-A 線の断面図である。

【図 47】(a) および(b) は図 46 (b) の上層のパターン層をも示した半導体ウエハの要部平面図、(c) は(a) および(b) の A-A 線の断面図である。

【図 48】(a) は本発明の他の実施の形態であるフォトマスクのメタルによる遮光パターンとレジスト膜による遮光パターンとの接続部の平面図、(b) は(a)の A-A 線の断面図である。

【図 49】(a) は図 48 のフォトマスクを用いて半導体ウエハに転写されたパターンの平面図、(b) は(a)の A-A 線の断面図である。

【図 50】(a) は本発明の他の実施の形態であるフォトマスクのメタルによる遮光パターンとレジスト膜による遮光パターンとの接続部の要部平面図、(b) は(a)のメタルによる遮光パターンとレジスト膜による遮光パターンとが位置ずれした場合を示す要部平面図である。

【図 51】本発明の他の実施の形態である半導体チップの平面図である。

【図 52】(a) は図 51 の半導体チップにおける基本セルの平面図、(b) は(a)の要部断面図、(c) は(b)に配線層を形成した場合の半導体チップの要部断面図である。

【図 53】(a) は図 51 の半導体チップに形成される NAND 回路のシンボル図、(b) は(a)の回路図、(c) は(b)のパターンレイアウトを示す要部平面図



である。

【図 5 4】(a) および (b) は、本発明の他の実施の形態のフォトマスクであって、図 5 3 の回路パターンを転写する際に用いるフォトマスクの要部平面図である。

【図 5 5】(a) は図 5 1 の半導体チップに形成される NOR 回路のシンボル図、(b) は (a) の回路図、

(c) は (b) のパターンレイアウトを示す要部平面図である。

【図 5 6】(a) および (b) は、本発明の他の実施の形態のフォトマスクであって、図 5 5 の回路パターンを転写する際に用いるフォトマスクの要部平面図である。

【図 5 7】(a) はマスク ROM の要部平面図、(b) は (a) の回路図、(c) は (a) の A-A 線の断面図である。

【図 5 8】(a) は本発明の他の実施の形態のフォトマスクであって、図 5 7 のマスク ROM にイオン注入によってデータ書き込みのためのパターンを半導体ウエハ上に転写する際に用いるフォトマスクの要部平面図、

(b) は (a) のフォトマスクで転写されるパターンの位置を示す半導体ウエハの要部平面図、(c) は (a) のデータ書き込み時の様子を示す半導体ウエハの断面図である。

【図 5 9】(a) は本発明の他の実施の形態のフォトマスクであって、図 5 7 のマスク ROM にイオン注入によってデータ書き込みのためのパターンを半導体ウエハ上に転写する際に用いるフォトマスクの要部平面図、

(b) は (a) のフォトマスクで転写されるパターンの位置を示す半導体ウエハの要部平面図、(c) は (a) のデータ書き込み時の様子を示す半導体ウエハの断面図である。

【図 6 0】(a) は本発明の他の実施の形態のフォトマスクであって、図 5 7 のマスク ROM にイオン注入によってデータ書き込みのためのパターンを半導体ウエハ上に転写する際に用いるフォトマスクの要部平面図、

(b) は (a) のフォトマスクで転写されるパターンの位置を示す半導体ウエハの要部平面図、(c) は (a) のデータ書き込み時の様子を示す半導体ウエハの断面図である。

【図 6 1】(a) は他のマスク ROM の要部平面図、(b) は (a) の回路図、(c) は (a) の A-A 線の断面図である。

【図 6 2】(a) は本発明の他の実施の形態のフォトマスクであって、図 6 1 のマスク ROM にデータ書き込みのためのコンタクトホールパターンを半導体ウエハ上に転写する際に用いるフォトマスクの要部平面図、(b) は (a) のフォトマスクで転写されるパターンの位置を示す半導体ウエハの要部平面図、(c) は (b) の回路図、(d) の (b) の A-A 線の断面図である。

【図 6 3】(a) および (b) は図 6 2 のコンタクトホールの形成方法を説明するための半導体ウエハの要部断

面図である。

【図 6 4】(a) は本発明の他の実施の形態のフォトマスクであって、図 6 1 のマスク ROM にデータ書き込みのためのコンタクトホールパターンを半導体ウエハ上に転写する際に用いるフォトマスクの要部平面図、(b) は (a) のフォトマスクで転写されるパターンの位置を示す半導体ウエハの要部平面図、(c) は (b) の回路図、(d) の (b) の A-A 線の断面図である。

【図 6 5】(a) は本発明の他の実施の形態のフォトマスクであって、図 6 1 のマスク ROM にデータ書き込みのためのコンタクトホールパターンを半導体ウエハ上に転写する際に用いるフォトマスクの要部平面図、(b) は (a) のフォトマスクで転写されるパターンの位置を示す半導体ウエハの要部平面図、(c) は (b) の回路図、(d) の (b) の A-A 線の断面図である。

【図 6 6】(a) は本発明の他の実施の形態であるマスク ROM の要部平面図、(b) は (a) の回路図、(c) は (a) の A-A 線の断面図である。

【図 6 7】本発明の他の実施の形態である半導体集積回路装置の特性調整の説明図である。

【図 6 8】本発明の他の実施の形態である半導体集積回路装置の特性調整の説明図である。

【図 6 9】(a) は半導体ウエハ上における図 6 7 または図 6 8 の端子のパターンを模式的に示す説明図、

(b) は (a) のパターンの転写に用いるフォトマスクの要部平面図である。

【図 7 0】(a) は半導体ウエハ上における図 6 7 または図 6 8 の端子のパターンの説明図、(b) は (a) のパターンの転写に用いるフォトマスクの要部平面図である。

【図 7 1】本発明の他の実施の形態である半導体集積回路装置の冗長構成の説明図である。

【図 7 2】(a) は半導体ウエハ上における図 7 1 の端子のパターンを模式的に示す説明図、(b) は (a) のパターンの転写に用いるフォトマスクの要部平面図である。

【図 7 3】(a) は半導体ウエハ上における図 7 1 の端子のパターンの説明図、(b) は (a) のパターンの転写に用いるフォトマスクの要部平面図である。

【図 7 4】(a) ~ (c) は発明の他の実施の形態である半導体集積回路装置の製造工程で用いるフォトマスクにおける一連の流れの一例の説明図である。

【図 7 5】本発明の他の実施の形態である半導体集積回路装置の製造工程の説明図である。

【図 7 6】本発明の他の実施の形態である半導体集積回路装置の製造工程の説明図である。

【図 7 7】本発明の他の実施の形態である半導体集積回路装置の製造工程の説明図である。

【図 7 8】(a) は本発明の他の実施の形態である半導体集積回路装置の製造工程中のは半導体ウエハの要部平

面図、(b) および (c) は半導体ウエハ上に転写された情報の記述例を示す半導体ウエハの要部平面図、  
(d) は (b) の A-A 線の断面図である。

【図 79】 (a) および (b) は本発明の他の実施の形態であるフォトマスクであって、図 78 (b) の情報を転写する際に用いたフォトマスクの要部平面図である。

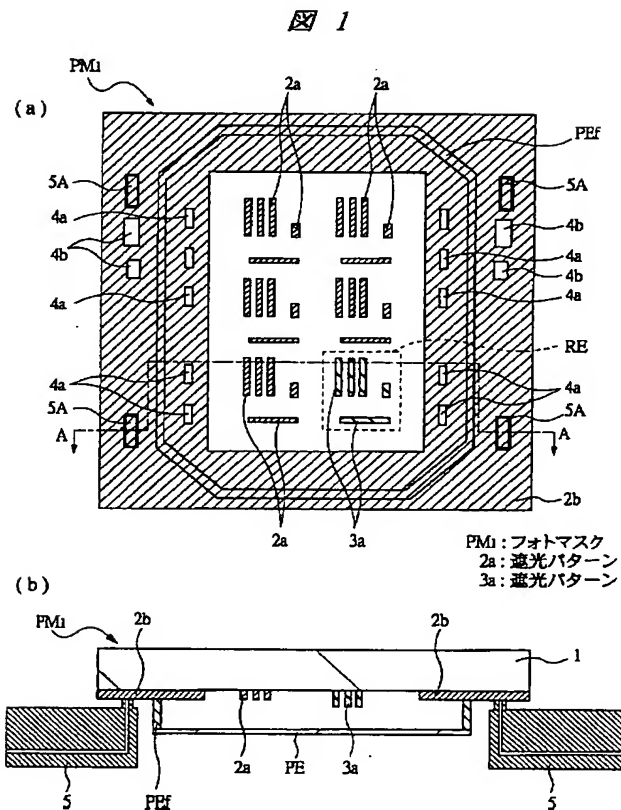
【符号の説明】

- |                      |                                 |
|----------------------|---------------------------------|
| 1 マスク基板              | 10 f 導体膜パターン                    |
| 2 遮光膜                | 10 g 第 2 層配線                    |
| 2 a 遮光パターン           | 10 h 第 3 層配線                    |
| 2 b 遮光パターン           | 10 i ~ 10 k 配線                  |
| 2 c 遮光パターン           | 10 VDD 電源配線                     |
| 2 d 遮光膜              | 10 VSS 電源配線                     |
| 2 e 遮光膜              | 10 m データ線                       |
| 2 f 遮光膜              | 10 n 導体膜パターン                    |
| 2 g 遮光パターン           | 11 a レジスト膜                      |
| 3 レジスト膜              | 11 a 1 レジストパターン                 |
| 3 a 遮光パターン           | 12 縮小投影露光装置                     |
| 3 b 遮光膜              | 12 a 光源                         |
| 3 c ハーフトーンパターン       | 12 b フライアイレンズ                   |
| 3 d ハーフトーンパターン       | 12 c 照明形状調整アパーチャ                |
| 3 e ハーフトーンパターン       | 12 d 1, 12 d 2 コンデンサレンズ         |
| 3 f ~ 3 i 遮光膜        | 12 e ミラー                        |
| 3 j, 3 k, 3 m 遮光膜    | 12 f 投影レンズ                      |
| 3 p ~ 3 r 遮光膜        | 12 g マスク位置制御手段                  |
| 3 s 遮光パターン           | 12 h マスクステージ                    |
| 3 t 遮光パターン           | 12 i 位置検出手段                     |
| 3 u 遮光膜              | 12 j 試料台                        |
| 4 a マークパターン          | 12 k Z ステージ                     |
| 4 b マークパターン          | 12 m XY ステージ                    |
| 5 装着部                | 12 n 主制御系                       |
| 5 A 領域               | 12 p 1, 12 p 2 駆動手段             |
| 6 a レジスト膜            | 12 q ミラー                        |
| 7 a 透明導電膜            | 12 r レーザ測長器                     |
| 7 b 水溶性導電有機膜         | 13 半導体領域                        |
| 8 半導体ウエハ             | 14 半導体領域                        |
| 8 s 半導体基板            | 15 コンタクトホール                     |
| 8 c 1 ~ 8 c 3 半導体チップ | 15 a ~ 15 i コンタクトホール            |
| 9 a 絶縁膜              | 15 j コンタクトホール                   |
| 9 b フィールド絶縁膜         | 15 k, 15 m, 15 n コンタクトホール       |
| 9 c ゲート絶縁膜           | 16 a 光透過パターン                    |
| 9 d 層間絶縁膜            | 16 b 光透過パターン                    |
| 9 e SOG 膜            | 16 c 光透過開口領域                    |
| 9 f 層間絶縁膜            | 16 d 光透過開口領域                    |
| 10 a 導体膜             | 16 e 光透過開口領域                    |
| 10 a 1 導体膜パターン       | 16 f 光透過パターン                    |
| 10 b ゲート電極           | 16 g ~ 16 j 光透過パターン             |
| 10 c 配線              | 16 k 光透過パターン                    |
| 10 d 抵抗              | 16 m, 16 n, 16 p ~ 16 r 光透過パターン |
| 10 e 第 1 層配線         | 16 s 光透過パターン                    |
|                      | 18 溝                            |
|                      | 19 位相調整膜                        |
|                      | 20 レジスト膜                        |
|                      | 21 ハーフトーン膜                      |
|                      | 21 a ハーフトーンパターン                 |
|                      | 22 a, 22 b 位相シフト                |
|                      | 23 保護膜                          |

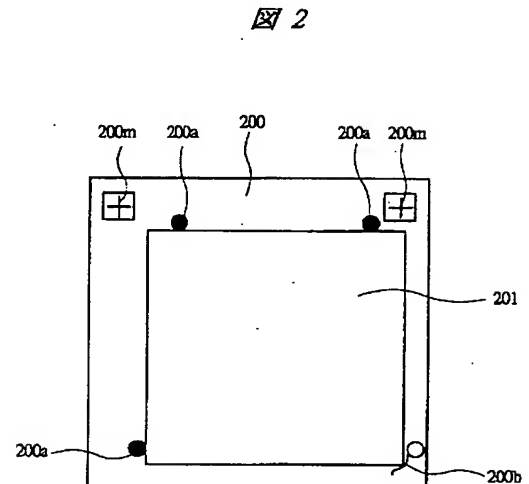
24 保護膜  
 25 スルーホール  
 26 入出力回路領域  
 27a, 27b スルーホール  
 28a~28e 開口パターン  
 200 マスク保持部  
 200a 3点ピン  
 200b 押し付けピン  
 200m マークパターン  
 PM1~PM3, PM4~PM21, PM23, PM24 フォトマスク  
 PM41 第1のフォトマスク  
 PM42 第2のフォトマスク  
 PM19C フォトマスク  
 PM19L フォトマスク  
 WL ワード線  
 PE ペリクル

PEf ペリクル張り付けフレーム  
 EA アース  
 NWL nウエル  
 PWL pウエル  
 Qp pMIS  
 Qn nMIS  
 D1~D3 素子転写領域  
 BC 基本セル  
 ND NAND回路  
 NR NOR回路  
 INV インバータ回路  
 R1~Rn 抵抗  
 C1~Cn コンデンサ  
 Ta 端子  
 Tbl~Tbn 端子  
 Tc1~Tc3 端子  
 J1, J2 接続部

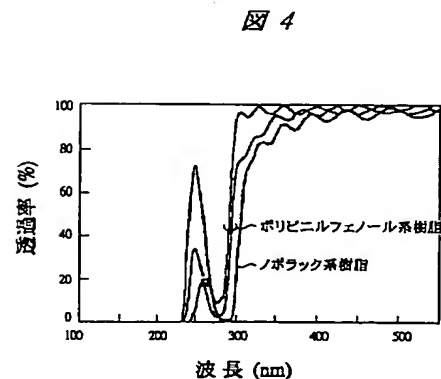
【図1】



【図2】

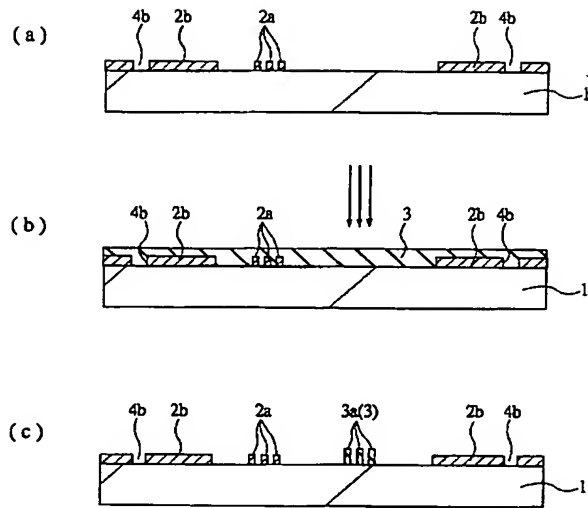


【図4】



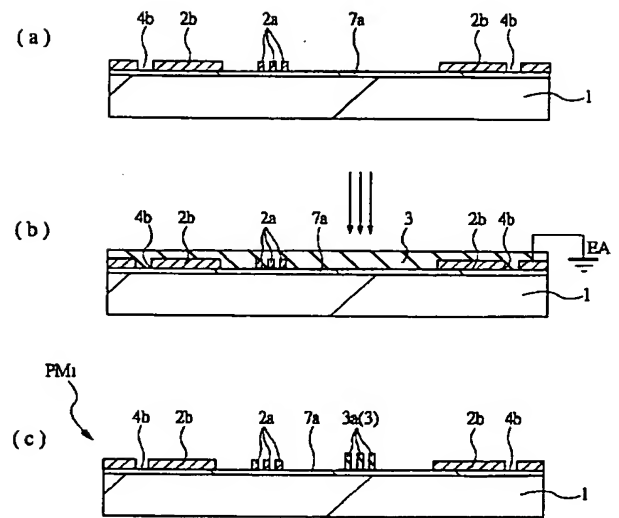
【図 3】

図 3



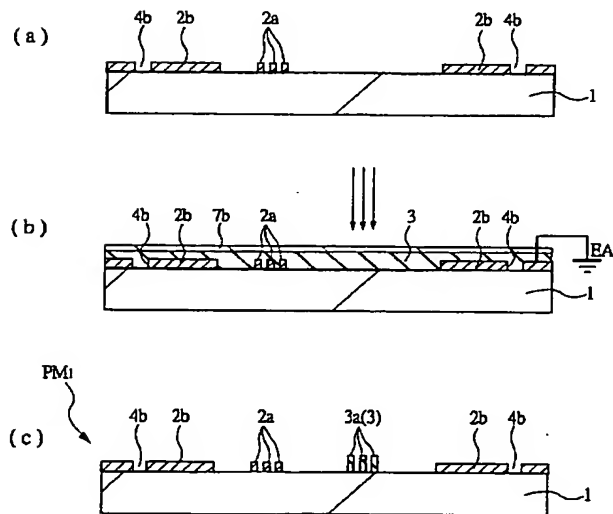
【図 5】

図 5



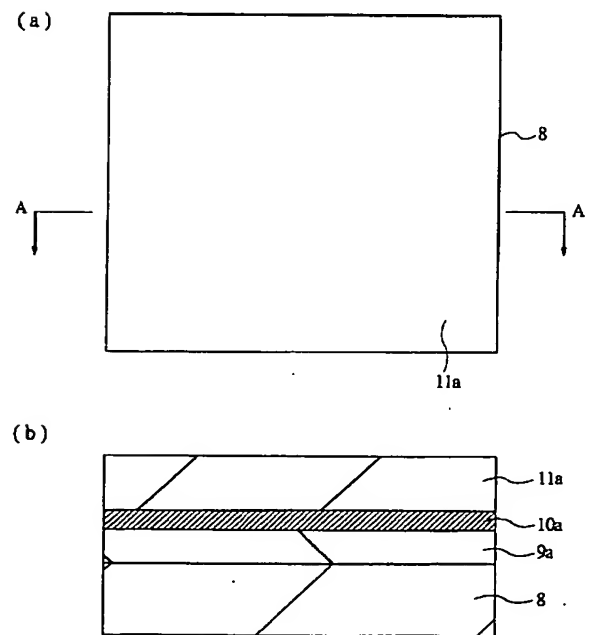
【図 6】

図 6



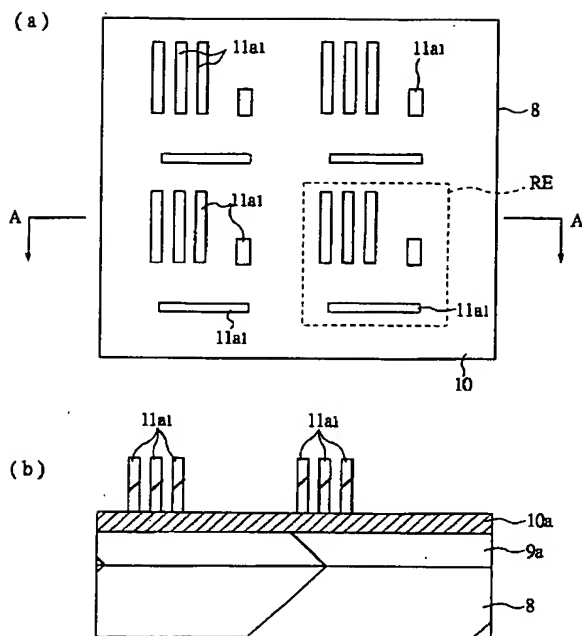
【図 7】

図 7



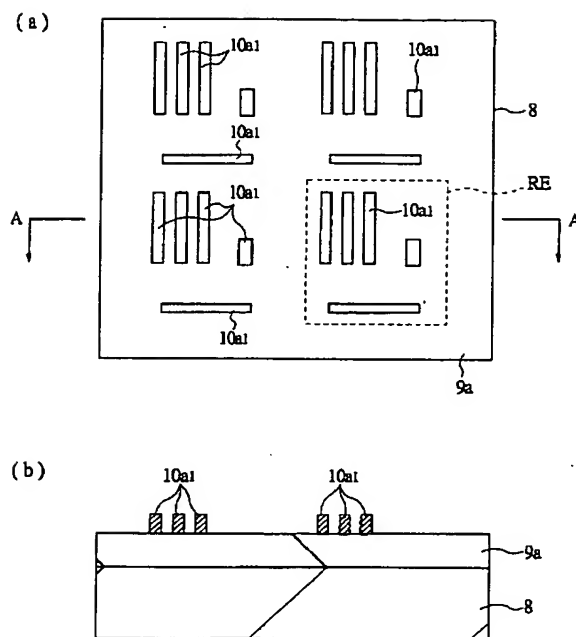
【図 8】

図 8



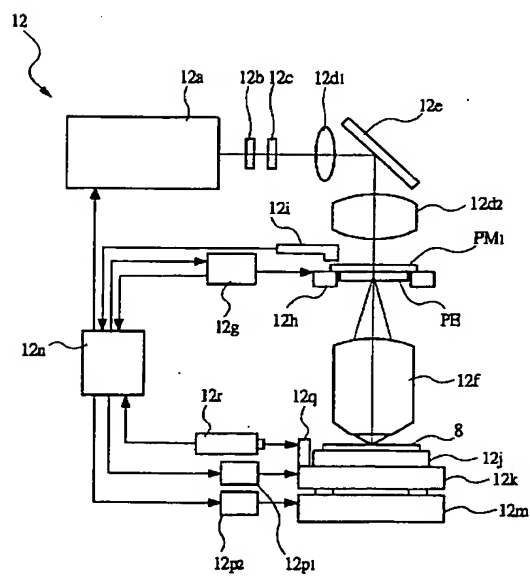
【図 9】

図 9



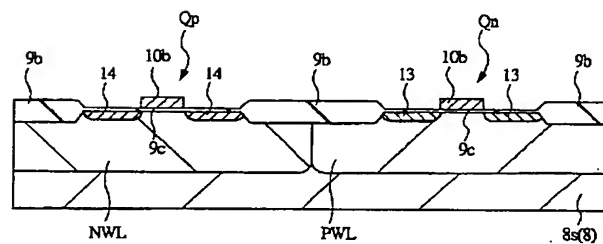
【図 10】

図 10



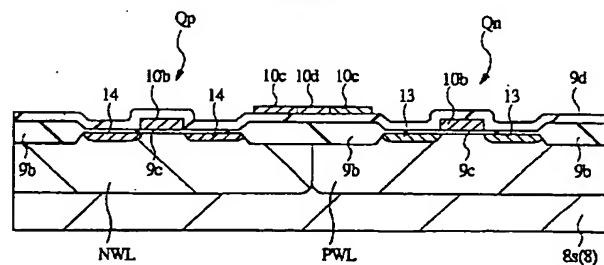
【図 11】

図 11

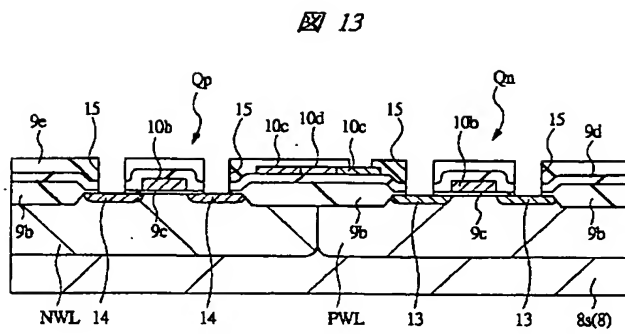


【図 12】

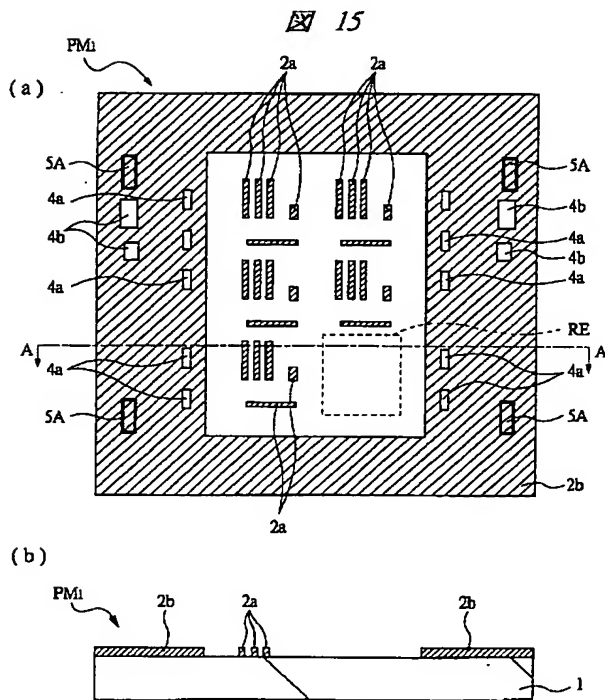
図 12



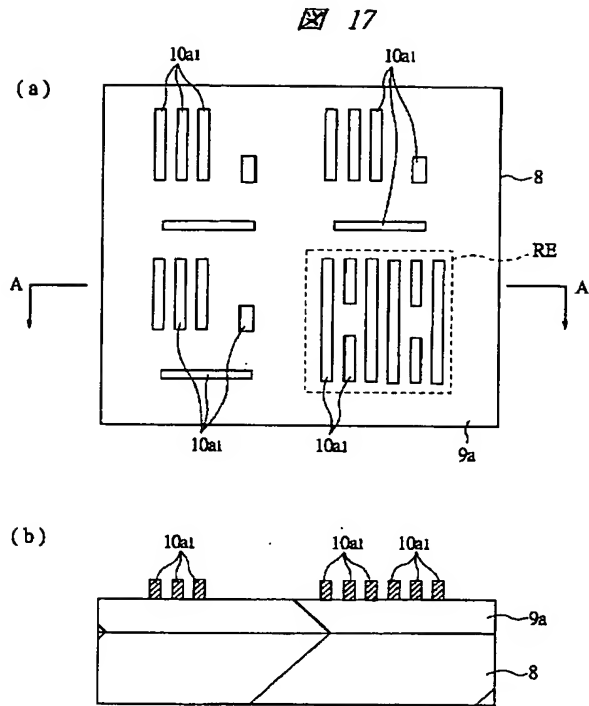
【图 13】



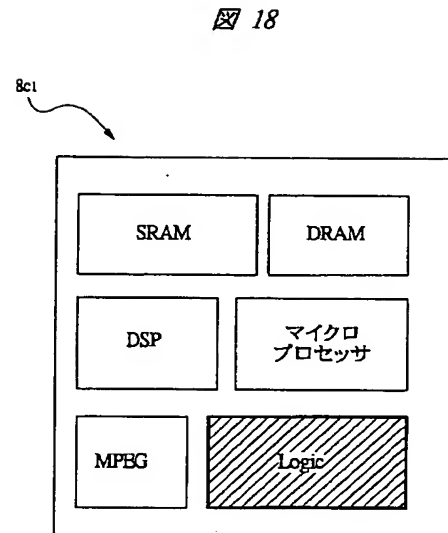
【図 15】



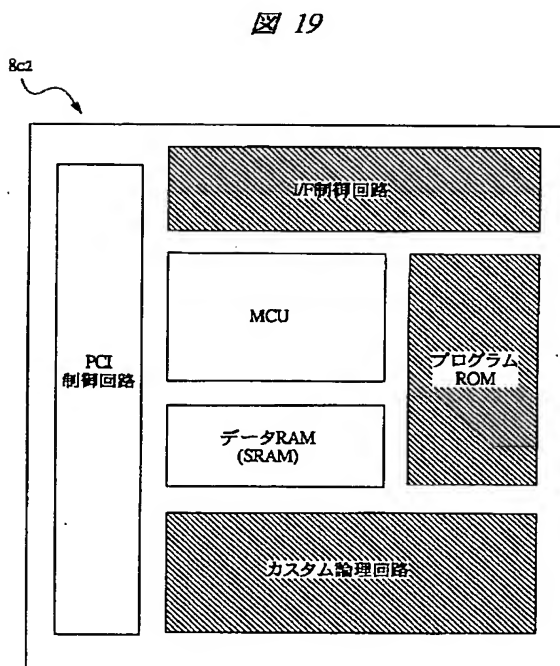
【図 17】



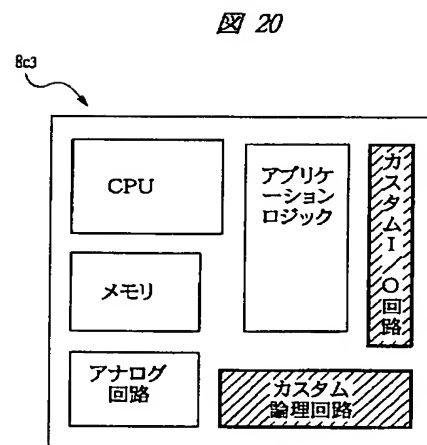
【図 18】



【図 19】

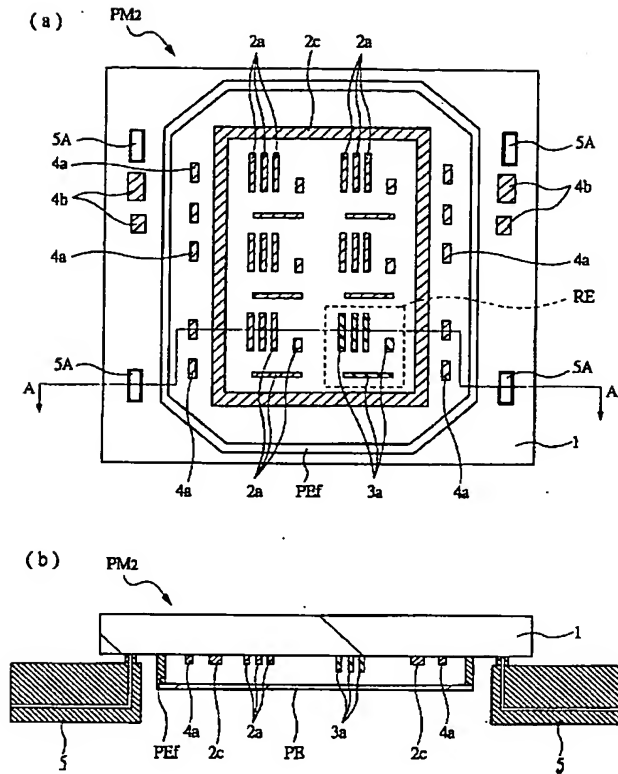


【図 20】



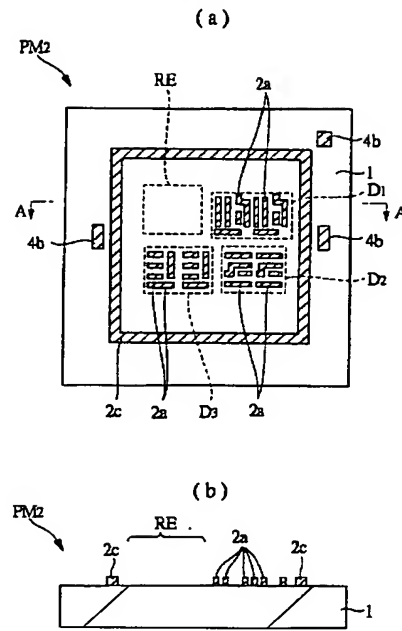
【図 21】

図 21



【図 22】

図 22

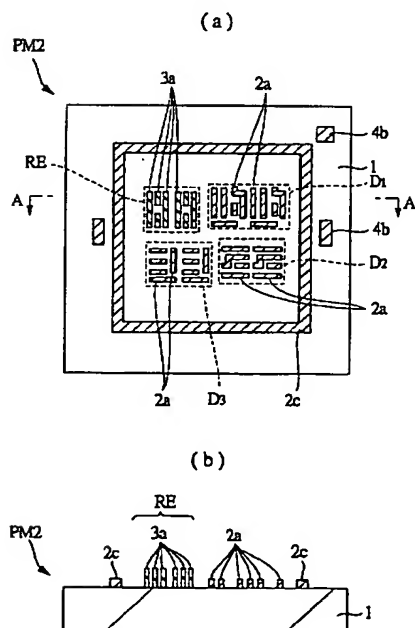


【図 24】

図 24

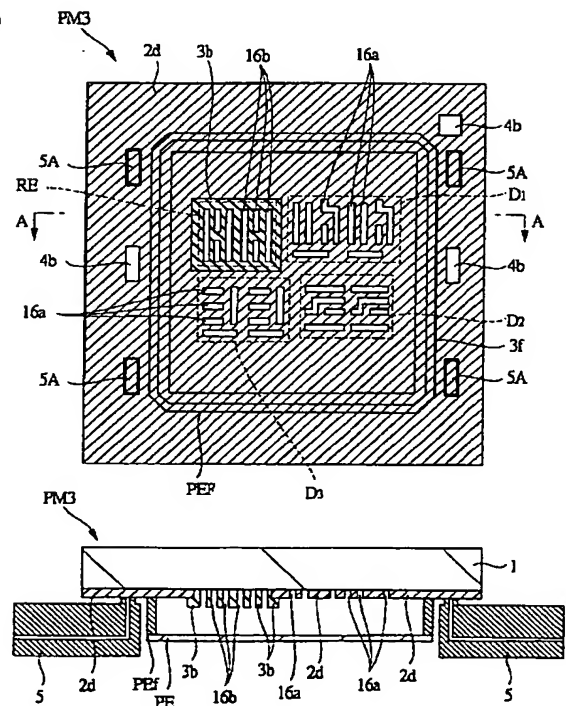
【図 23】

図 23



(a)

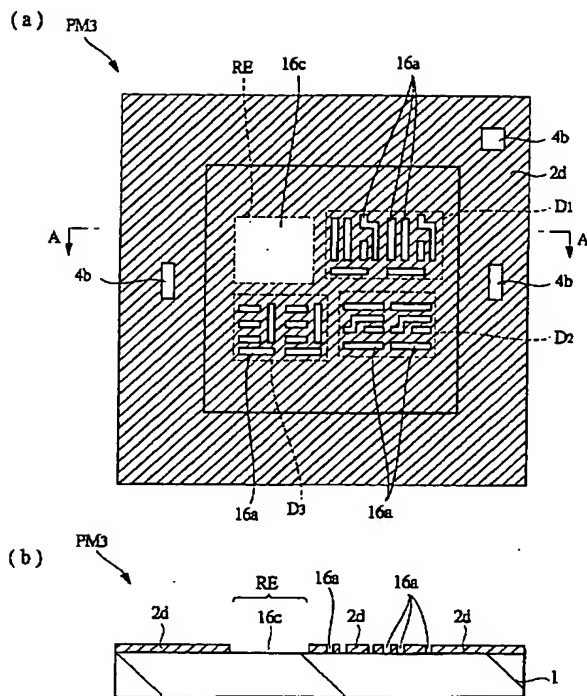
(b)





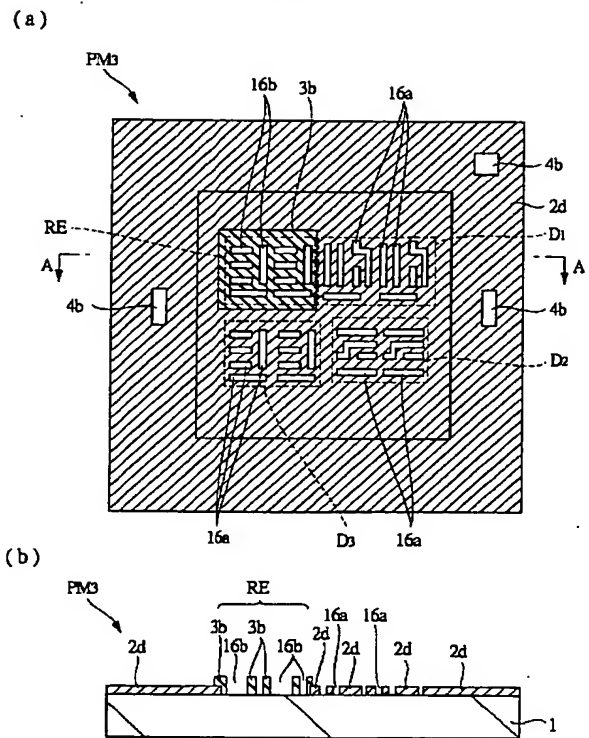
【図 25】

図 25



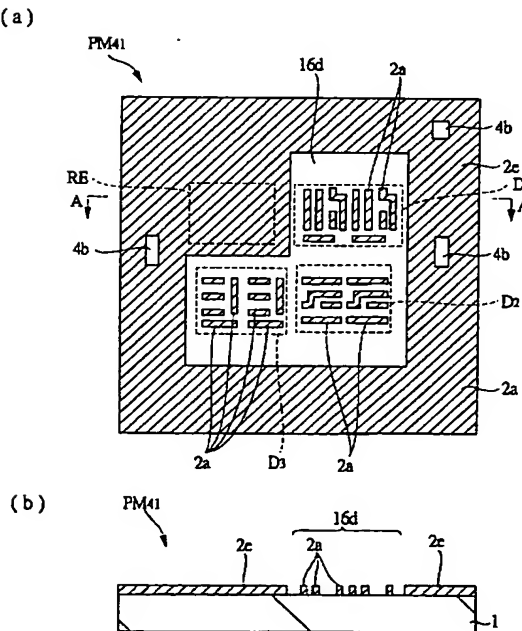
【図 26】

図 26



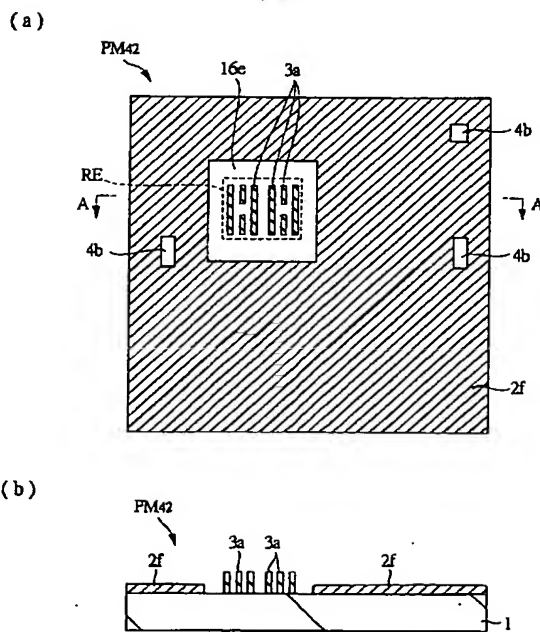
【図 27】

図 27



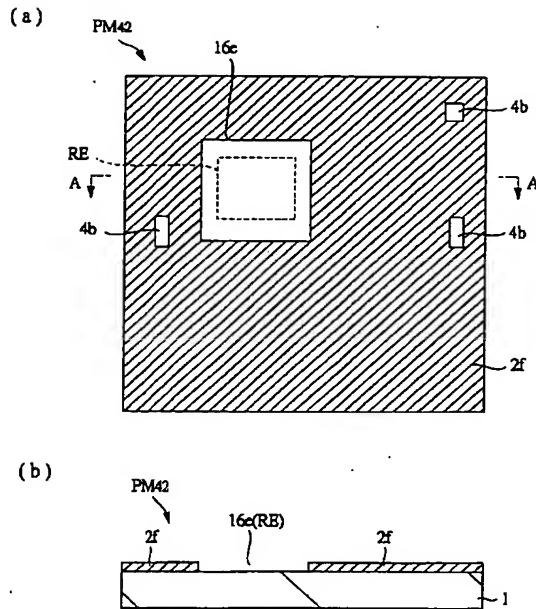
【図 28】

図 28



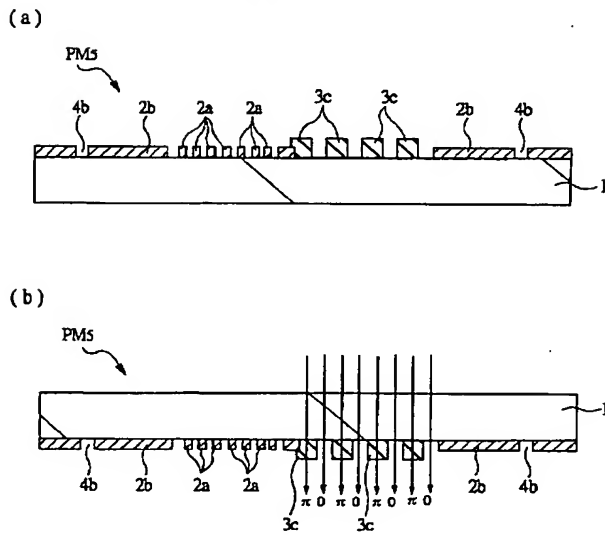
【図 29】

図 29



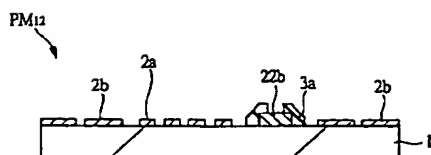
【図 31】

図 31



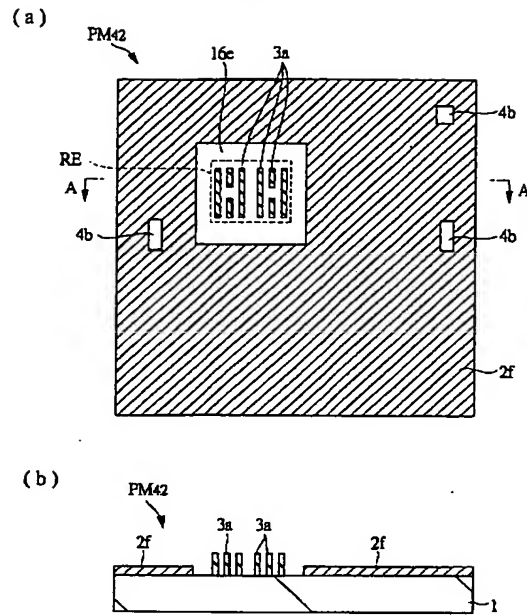
【図 39】

図 39



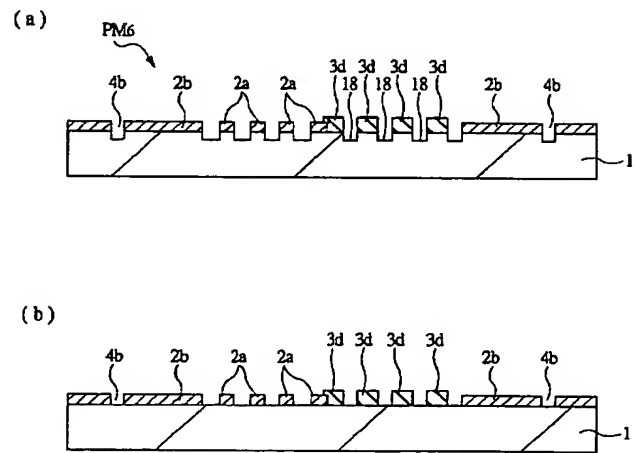
【図 30】

図 30



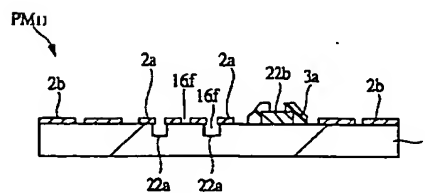
【図 32】

図 32



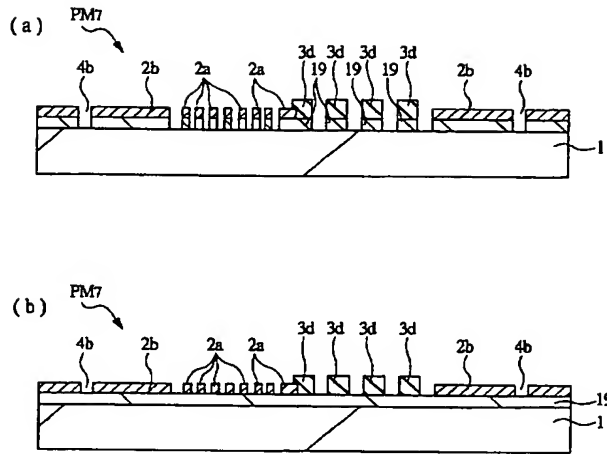
【図 38】

図 38



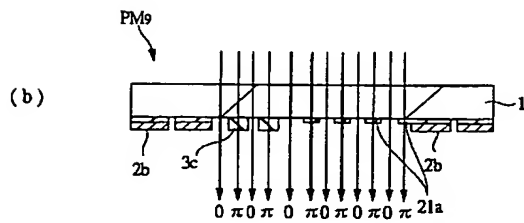
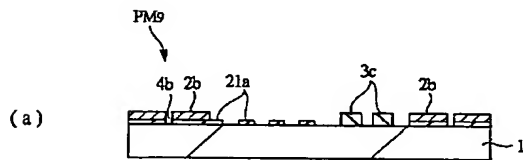
【図 33】

図 33



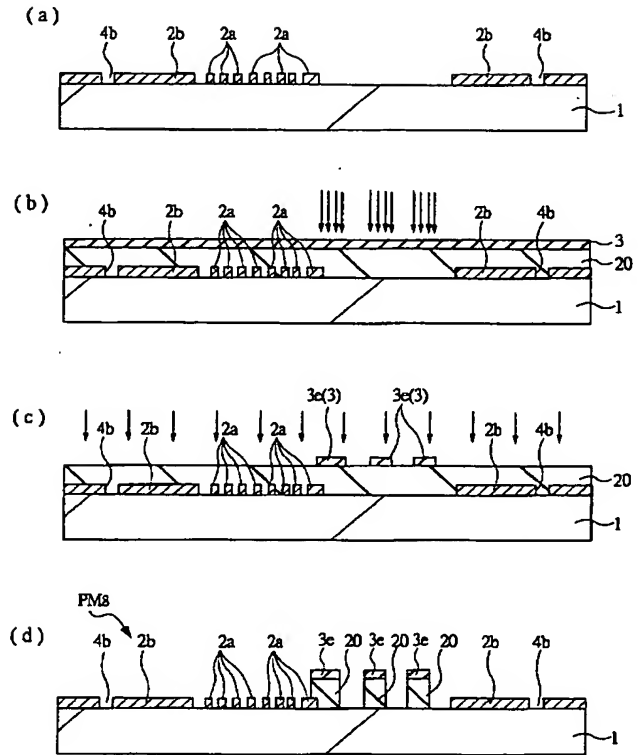
【図 35】

図 35



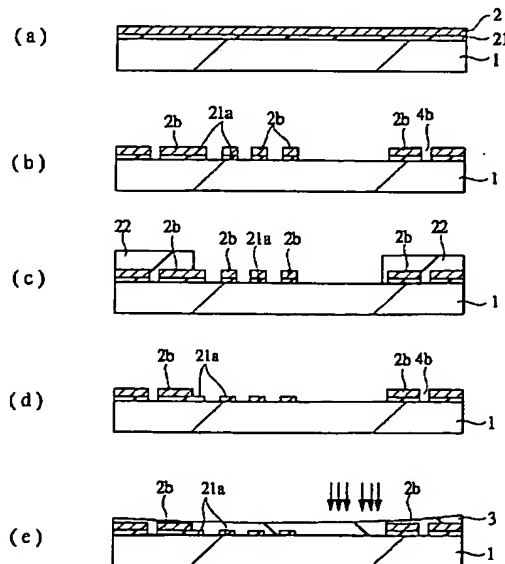
【図 34】

図 34



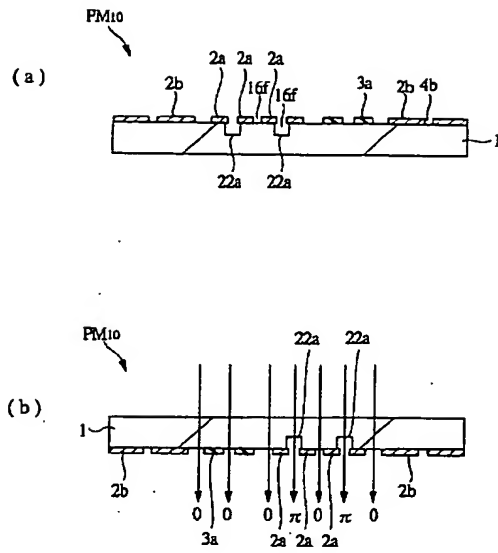
【図 36】

図 36



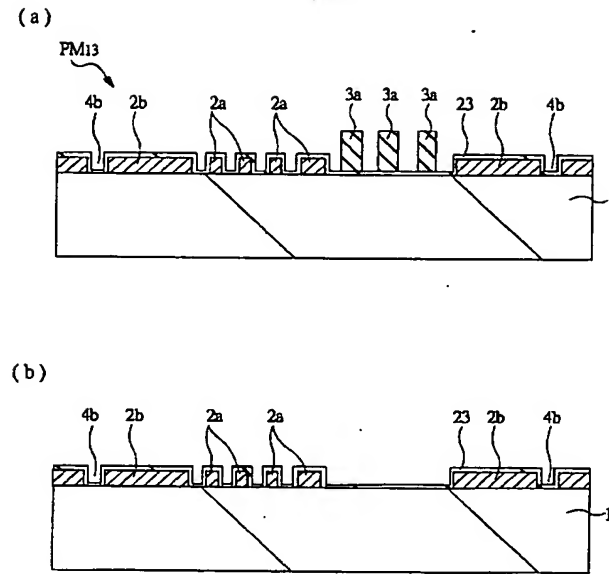
【図 37】

図 37



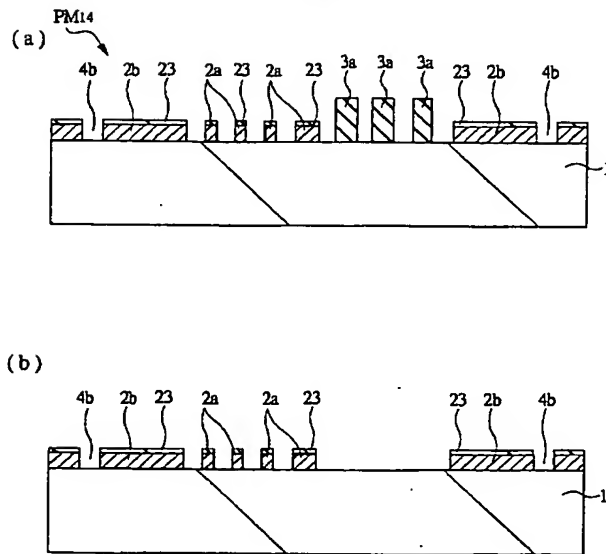
【図 40】

図 40



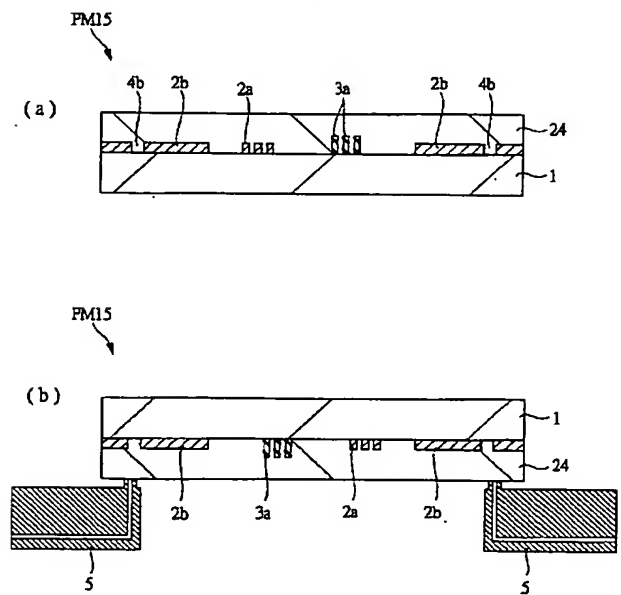
【図 41】

図 41



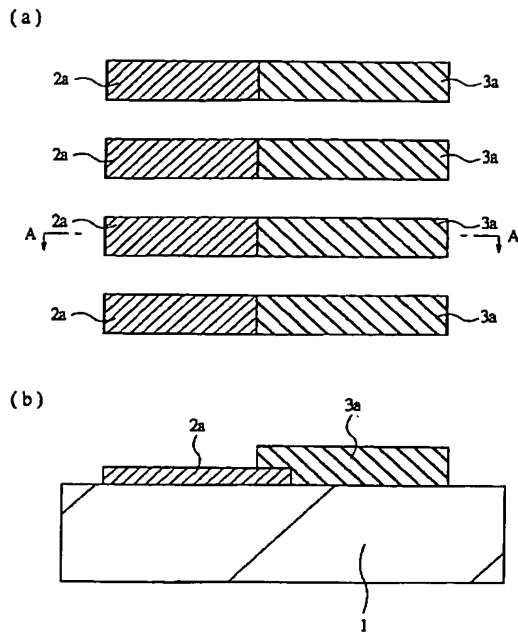
【図 42】

図 42



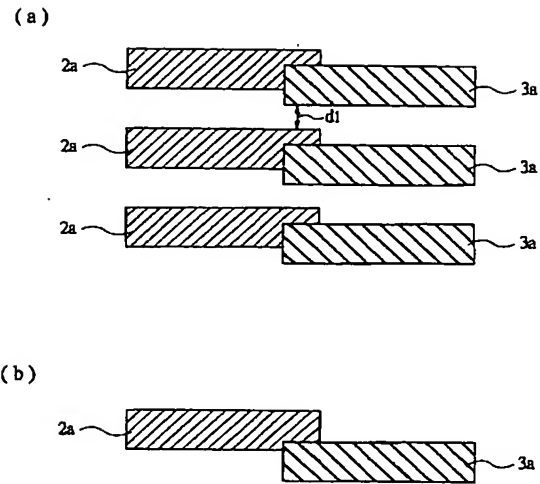
【図 43】

図 43



【図 44】

図 44

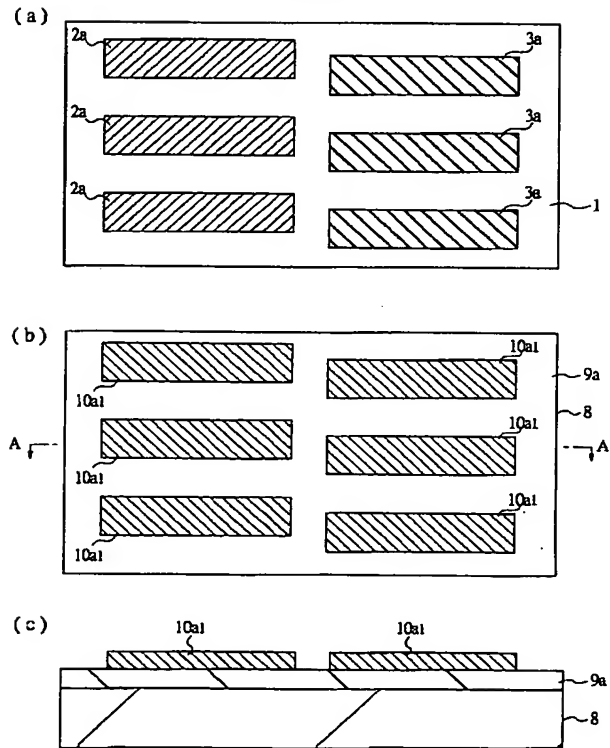
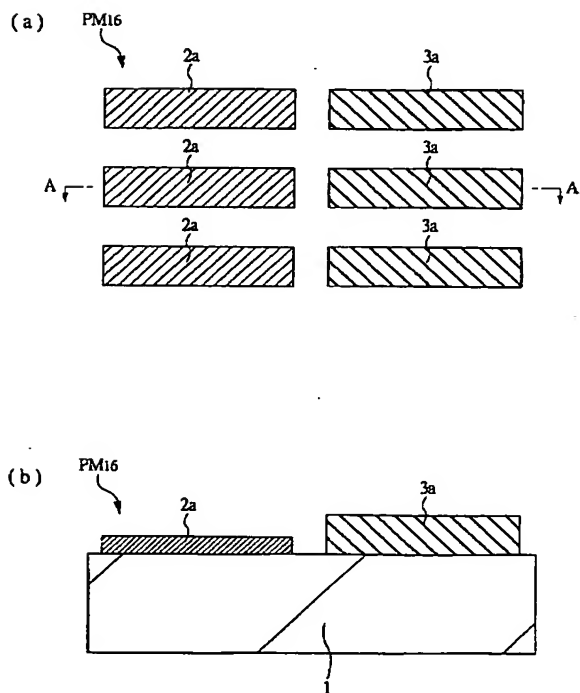


【図 46】

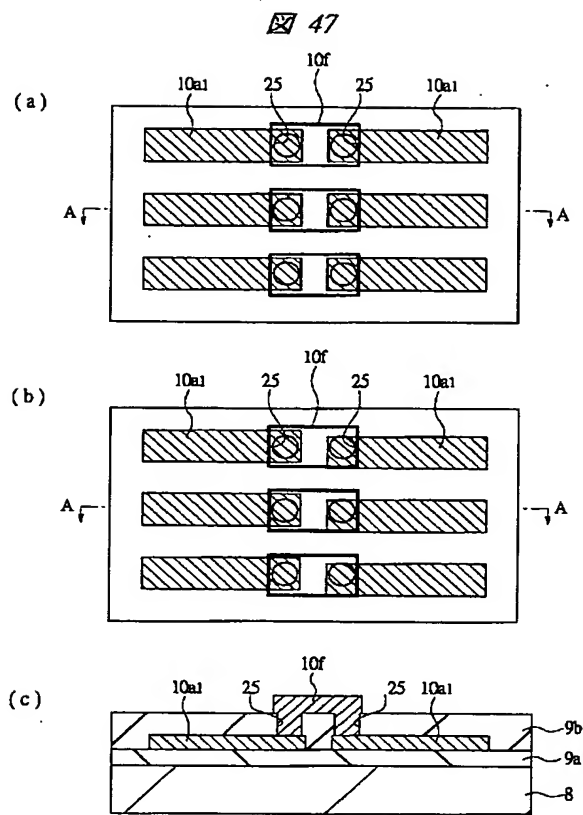
図 46

【図 45】

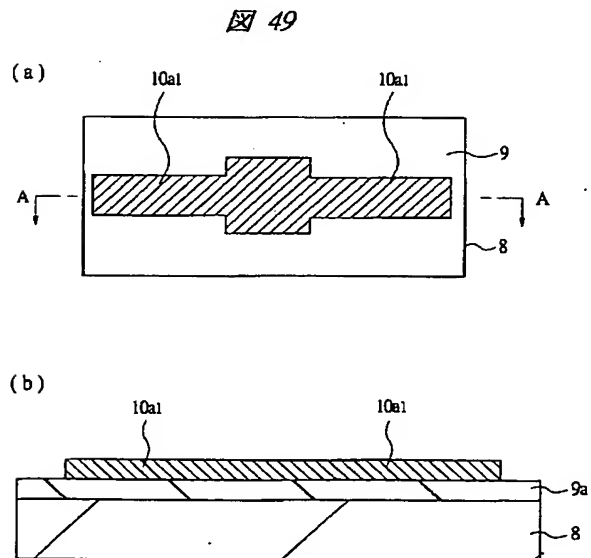
図 45



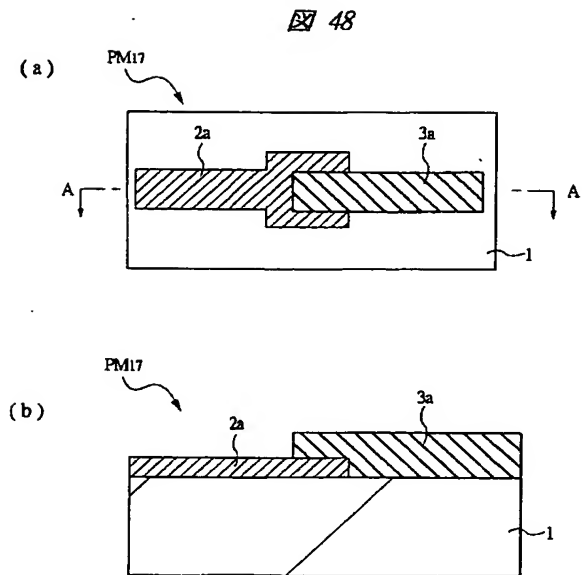
【図 47】



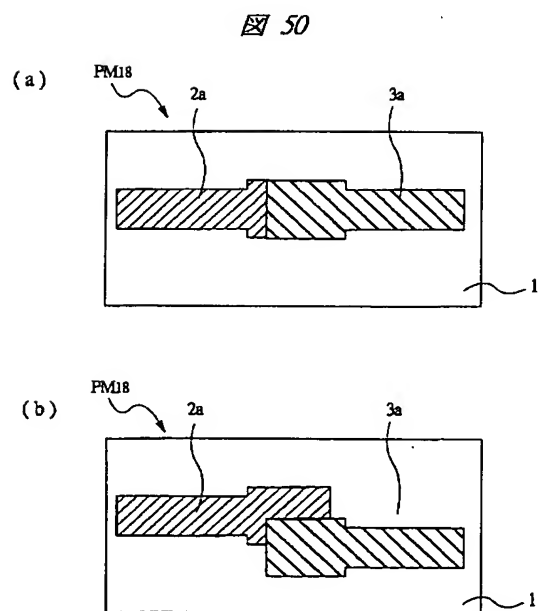
【図 49】



【図 48】

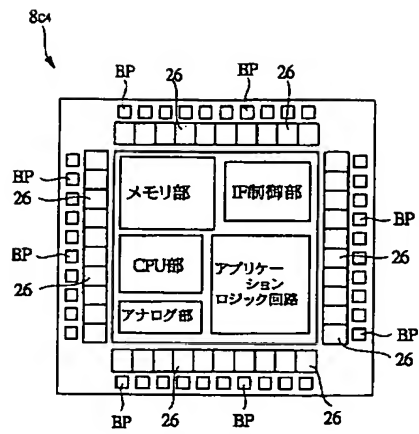


【図 50】



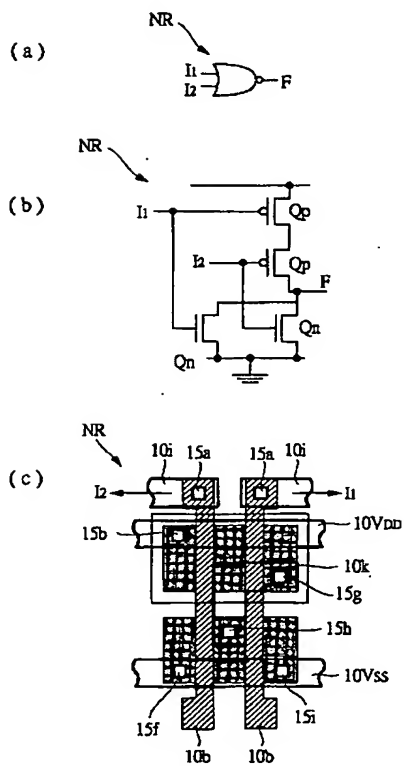
【図 51】

図 51



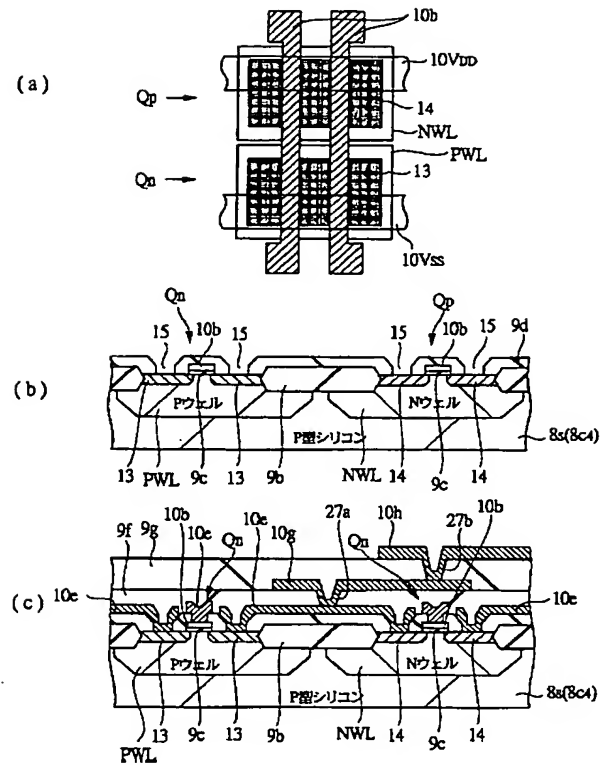
【図 55】

図 55



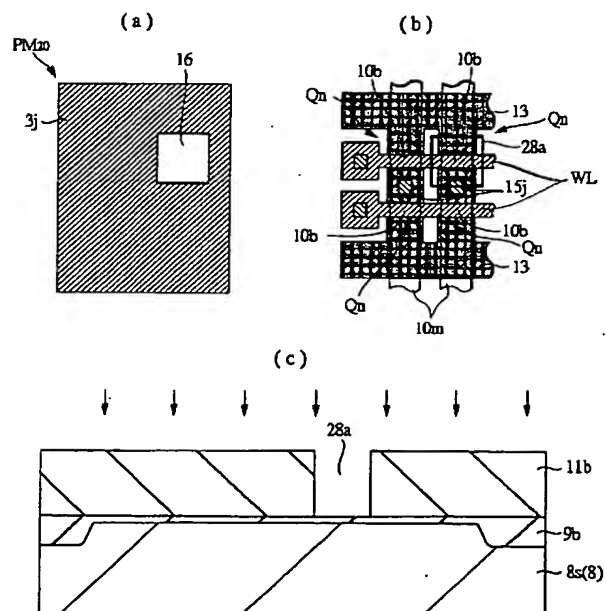
【図 52】

図 52



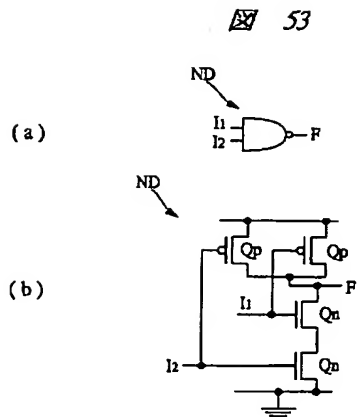
【図 58】

図 58

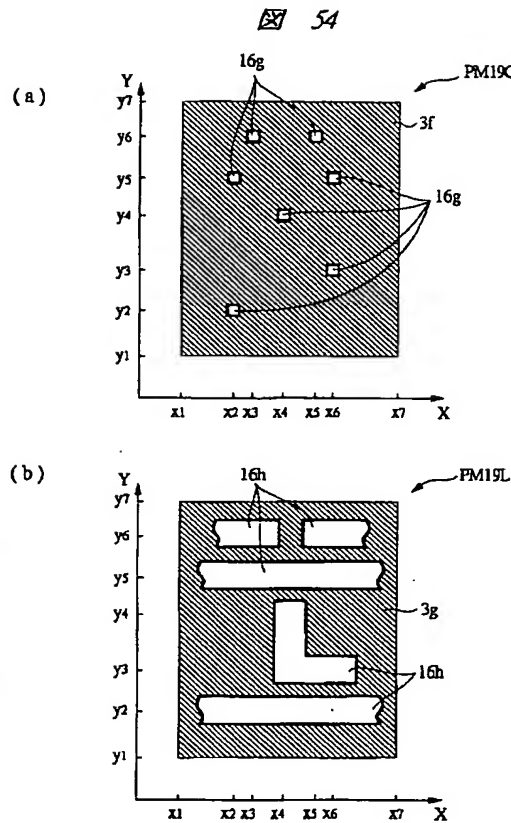




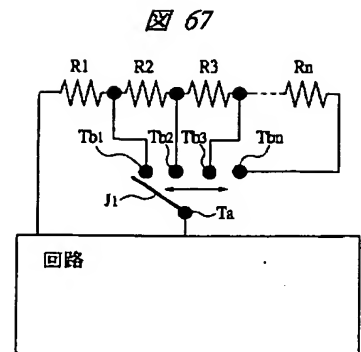
【図 53】



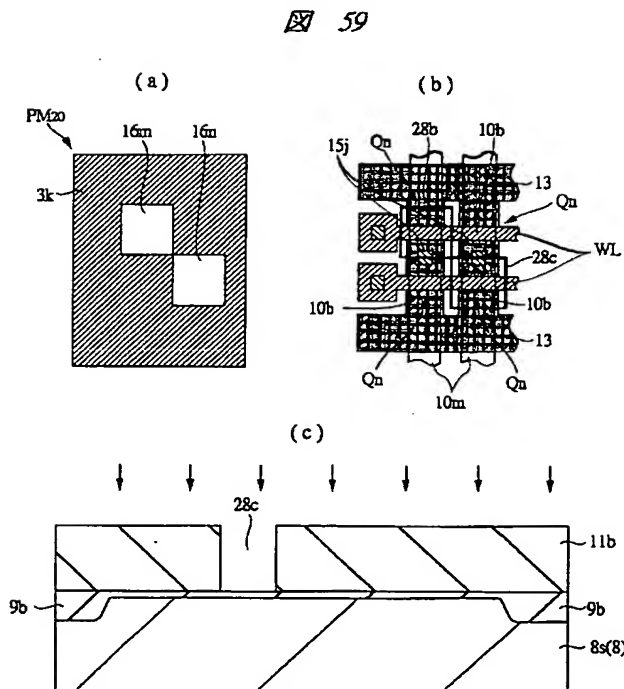
【図 54】



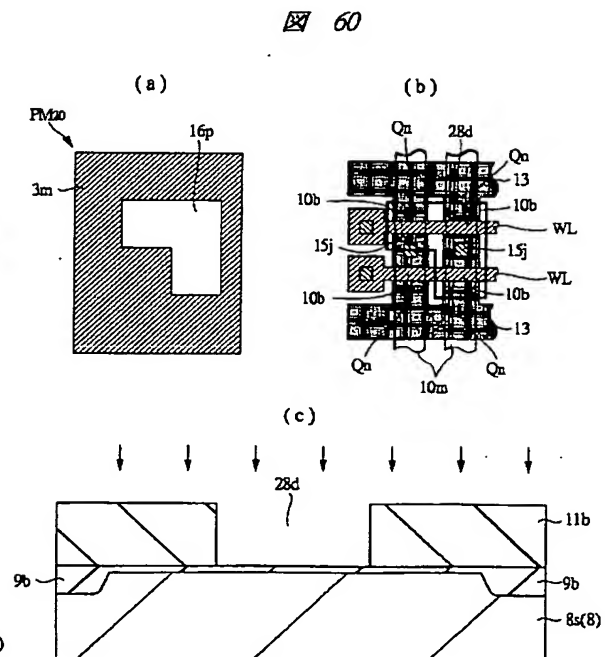
【図 67】



【図 59】

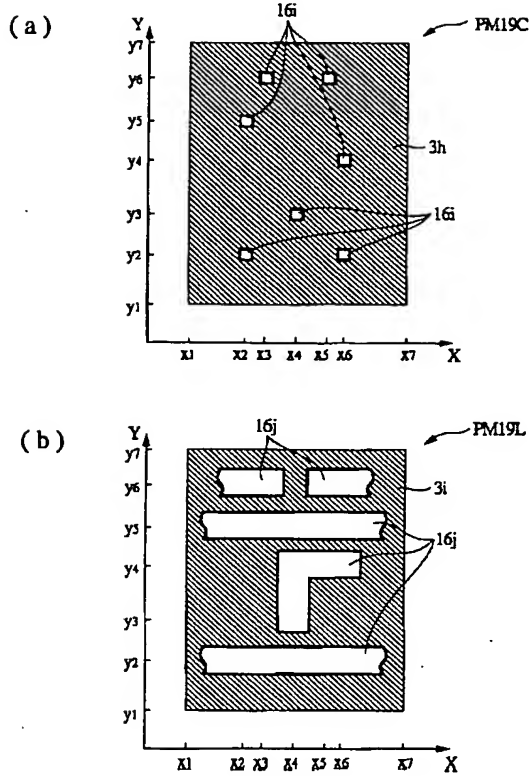


【図 60】



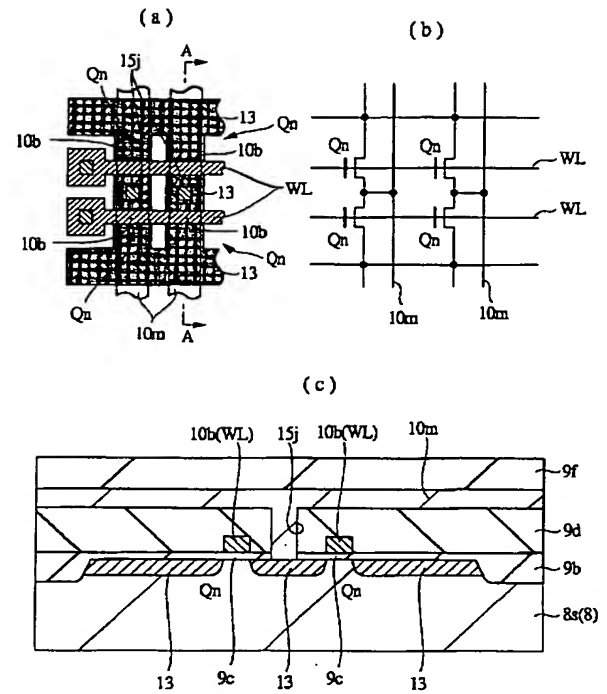
【図56】

図 56



【図57】

図 57

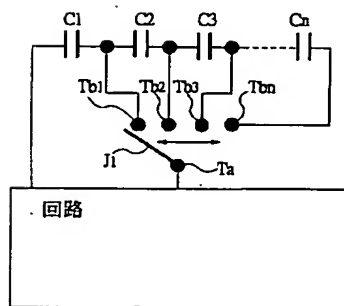


【図61】

図 61

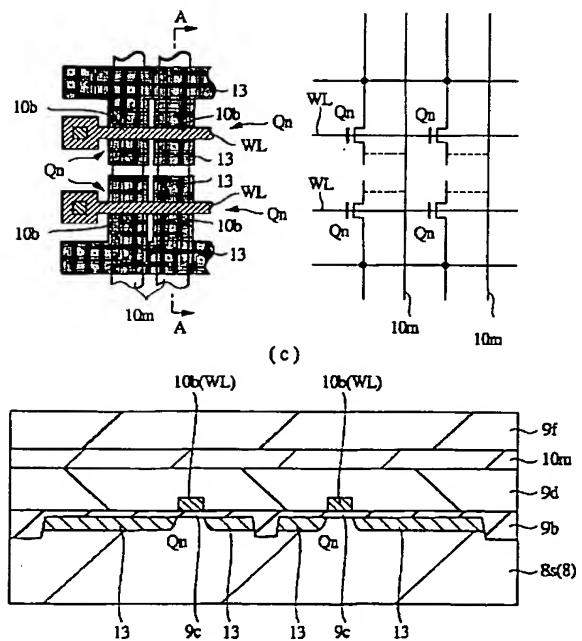
【図68】

図 68



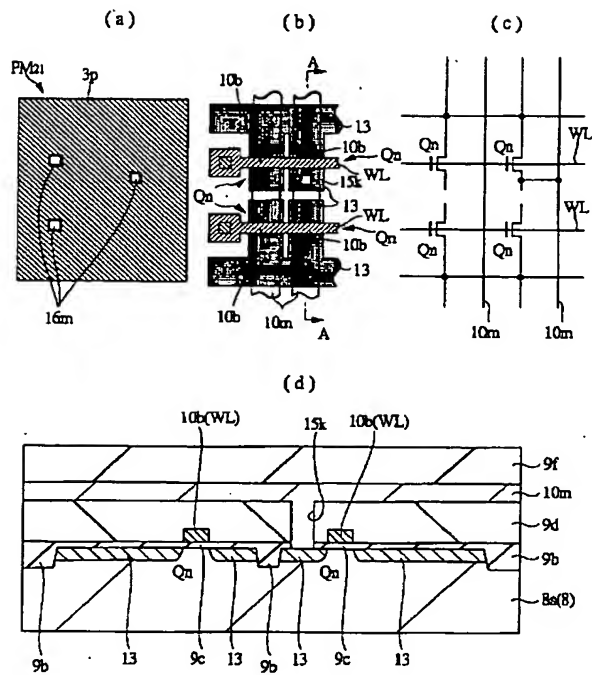
(a)

(b)



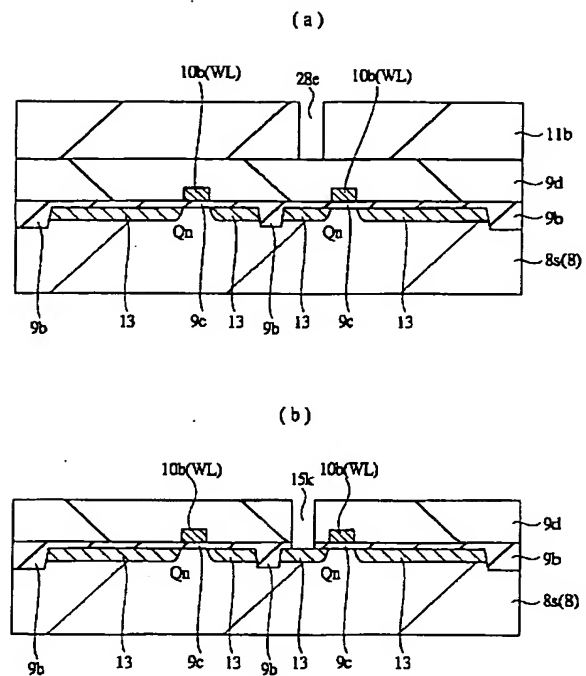
【図 62】

図 62



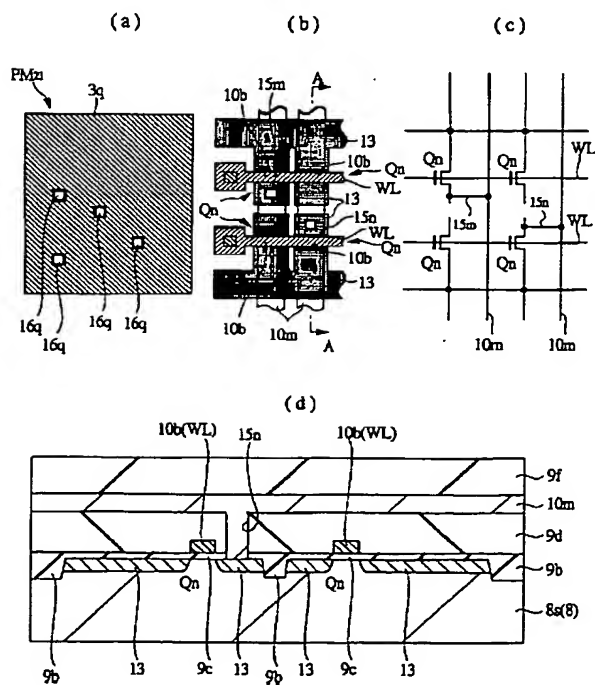
【図 63】

図 63



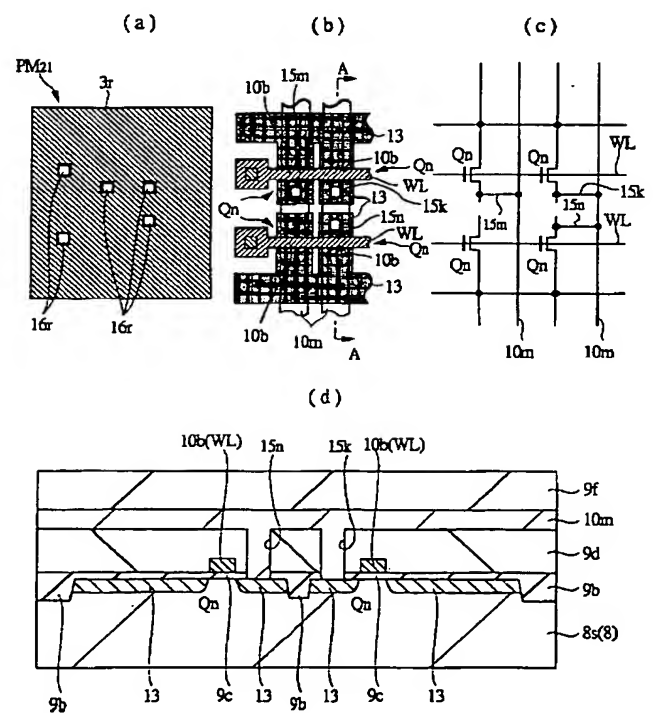
【図 64】

図 64



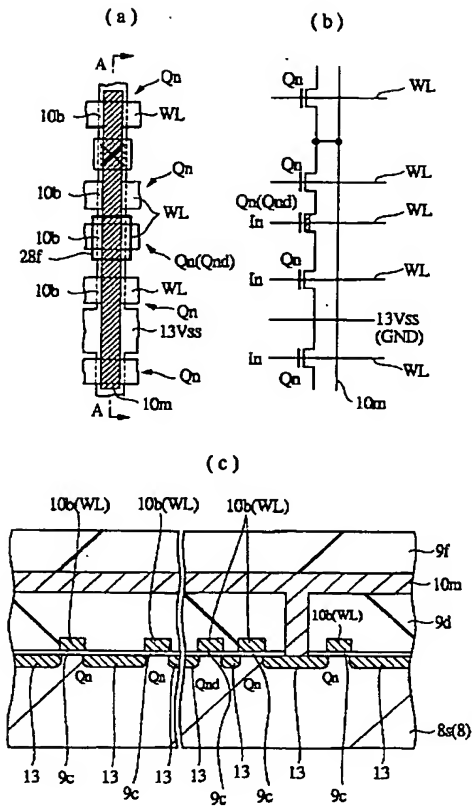
【図 65】

図 65



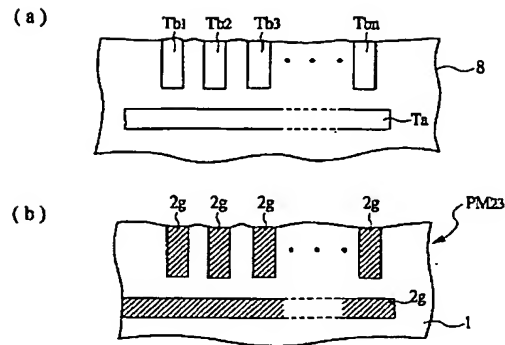
【図 66】

図 66



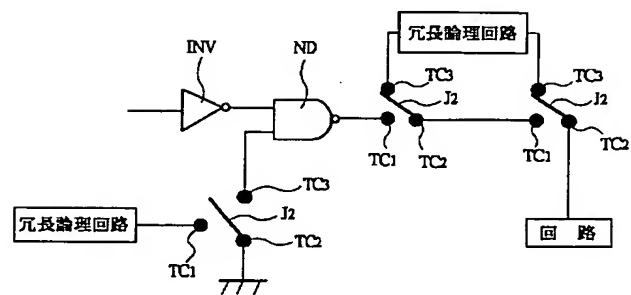
【図 69】

図 69



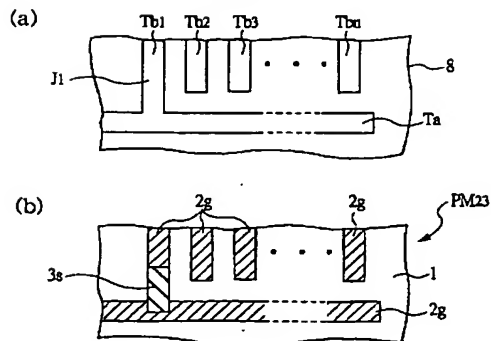
【図 71】

図 71



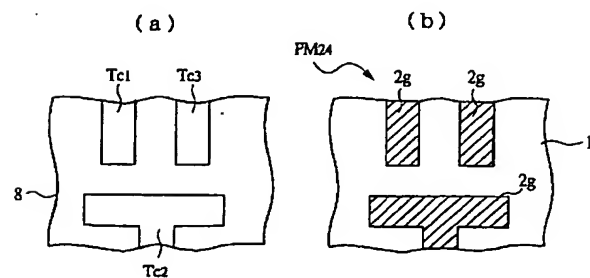
【図 70】

図 70



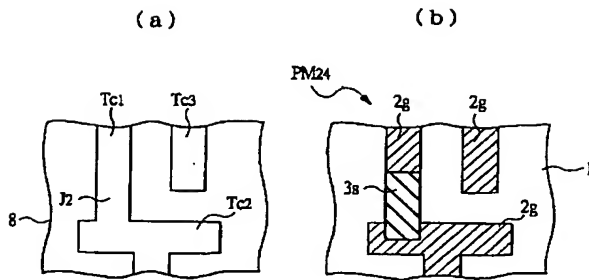
【図 72】

図 72



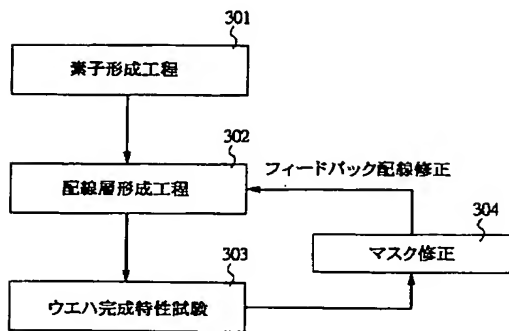
【図 73】

図 73



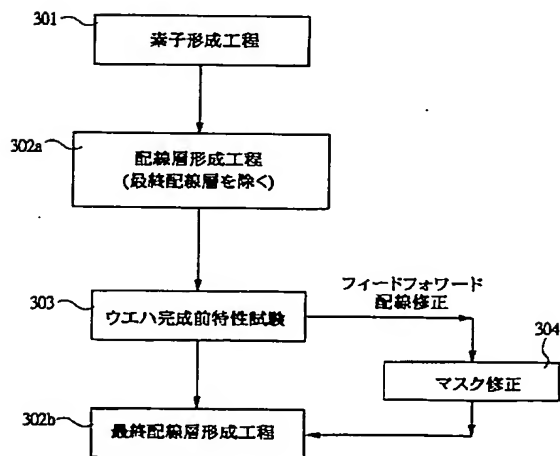
【図 75】

図 75



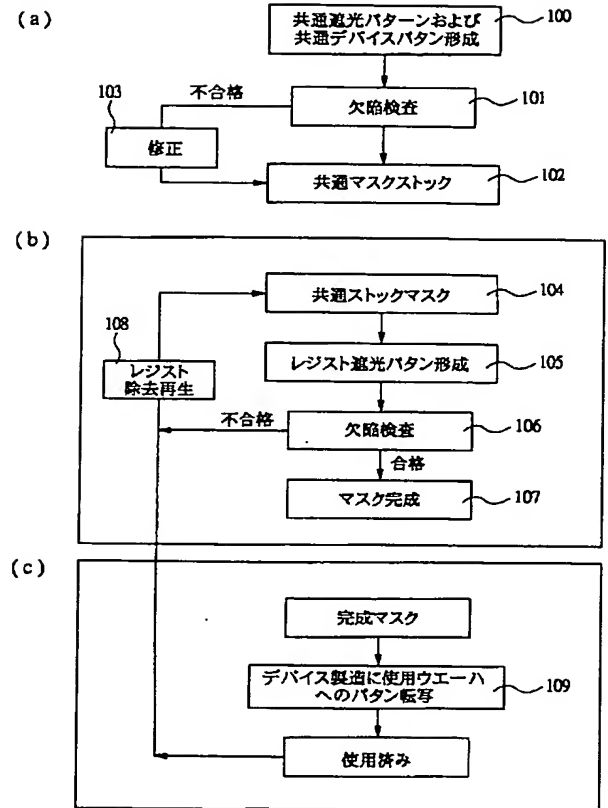
【図 76】

図 76



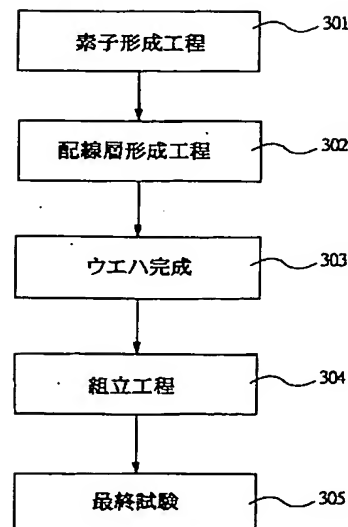
【図 74】

図 74

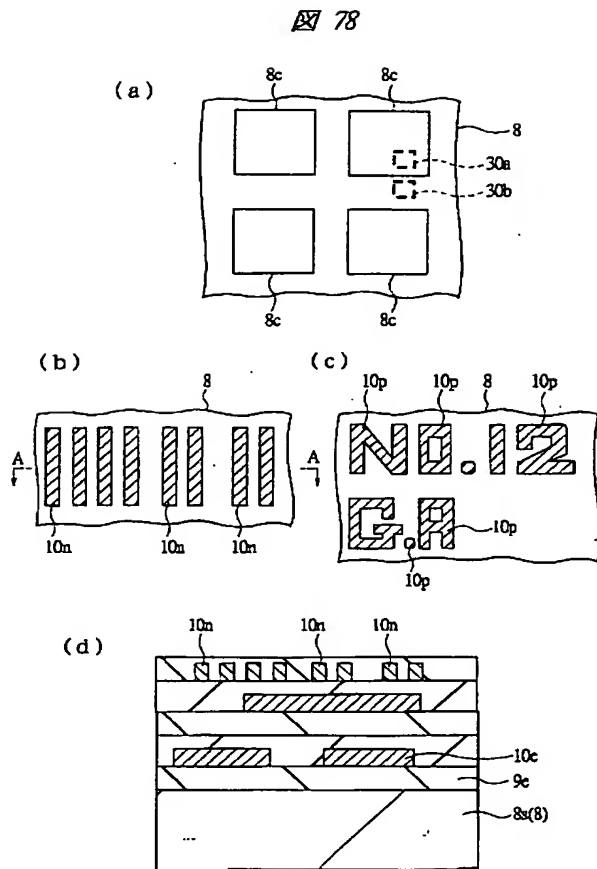


【図 77】

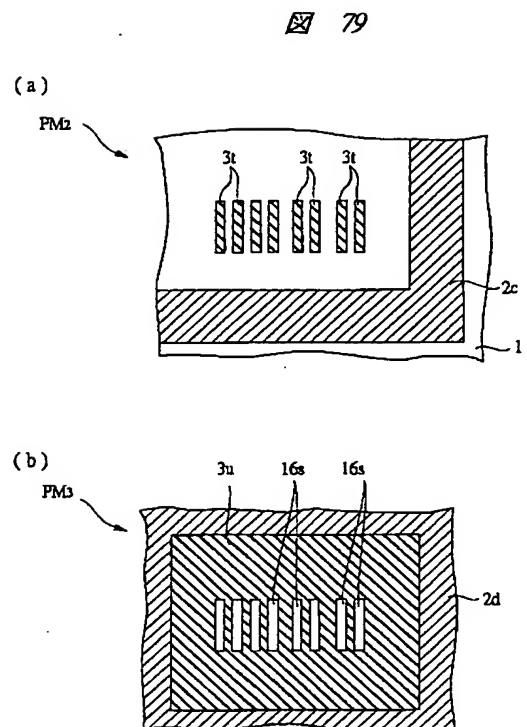
図 77



【図 78】



【図 79】



フロントページの続き

(51) Int. Cl. 7  
H01L 21/027

識別記号

F I  
H01L 21/30

テーマコード (参考)  
502P

(72) 発明者 岡田 譲二  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内  
(72) 発明者 森 和孝  
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72) 発明者 宮崎 浩  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内  
Fターム (参考) 2H095 BA02 BA07 BB01 BB03 BB17  
BB27 BB30 BC01 BC05 BC08  
BC16 BC19 BE10